CARL ZEISS JENA

ZEISS

Zentrale Verarbeitungseinheit ZVE-16/M 1

Gebrauchsanleitung

Инструкция по эксплуатации

Operating instructions

Mode d'emploi

Instrucciones para el uso

ZEISS

Zentrale Verarbeitungseinheit ZVE-16/M 1

Gebrauchsanleitung

Инструкция по эксплуатации

Operating instructions

Mode d'emploi

Instrucciones para el uso

Inhaltsverzeichnis

- Technische Daten	36 04 38:162.25(TB2)		Blatt 1-10
1. Leistungskennwerte		Blatt 2	
2. Anschlußkennwerte		Blatt 5	
3. Schnittstellen		Blatt 6	
4. Konstruktive Kennwerte		Blatt 7	
5. Umgebungsbedingungen		Blatt 7	
6. Schutzgrad		Blatt 7	
7. Funktionsnachweis		Blatt 8	
8. Steckverbinderbelegung		Blatt 8	
- Funktionsbeschreibung	36 04 38:162.25(TB3)		Blatt 1-35
1. System 8086		Blatt 2	
2. Die ZVE16-M1 im Blockschaltbild		Blatt 4	
3. Schaltungsbeschreibung		Blatt 19	
4. Anhang: Impulsdiagramme		Blatt 27	
- Nutzeranleitung	36 04 38:162.25(TB4)		Blatt 1-46
1. Allgemeines		Blatt 2	
2. Spannungsversorgung		Blatt 2	
3. Konfigurierung		Blatt 2	
4. Wickelbrücken		Blatt 3	
5. Mapping Decoder		Blatt 15	
6. Das E/A-System		Blatt 19	
7. Flag Interrupt Logik		Blatt 25	
8. Programmierung der Interf.-Baust.		Blatt 26	
9. Arbeit im Schrittbetrieb		Blatt 45	
10. Montage und Installation		Blatt 46	
11. Wartung und Instandsetzung		Blatt 46	
- Schaltteilliste	36 04 38:162.25(SL)		Blatt 1- 3
- Einlagen:			
LP-Bestückung	36 04 38:162.25		Blatt 1+ 2
Stromlaufplan	36 04 38:162.25(SP)		Blatt 1- 4
Blockschaltbild	36 04 38:162.25(UP)		Blatt 1+ 2

INHALTSVERZEICHNIS

TECHNISCHE DATEN

		Blatt
1	Leistungskennwerte	2
1.1	Allgemeines	2
1.2	Lokale E/A-Adressen (HEX)	2
1.3	Lokale Speicherressourcen	3
1.4	Speicher- und E/A-Mapping	3
1.5	Interrupts	4
1.6	Control Port (CP)	4
1.7	Sonstiges	5
2.	Anschlußkennwerte	5
2.1	Energieversorgung	5
2.2	Steckverbinder und Anschlußbelegung	6
3.	Schnittstellen	6
3.1	Serielle Schnittstelle IFSS	6
3.2	Serielle Schnittstelle V.24	7
3.3	Schnittstellenauswahl	7
4.	Konstruktive Kennwerte.....	7
5.	Umgebungsbedingungen	7
6.	Schutzgrad	7
7.	Funktionsnachweis	8
8.	Steckverbinderbelegung	8
8.1	Kopfsteckverbinder X3 (INTERFACE)	8
8.2	Basissteckverbinder X1 (S-Bus)	9
8.3	Basissteckverbinder X2 (R-Bus)	10

ÄZ	Mitt. Nr.	Blatt
1	11	1, 4, 5, 9, 10

AEND.-VERMERK:		SPEZ.TECHNOL.
ÄZ1 ÄM11 06.89	ZVE 16 - M1 (Technische Daten)	BL-ANZ.: 10
BEARB.:		
KONSTR.:		
TECHNOL.:	36 04 38 162.25 (TB2) (4)	
E-STAND.:		
STAND.:		

TECHNISCHE DATEN

1. Leistungskennwerte (ohne 8087)

1.1 Allgemeines

Befehlswortlänge	8 48 Bit
Datenwortlänge	8, 16 Bit (Byte, Wort)
Zahlendarstellung	Festkomma, Zweierkomplement
Befehlssystem	MMS16-Befehlssatz (70 Basisbefehle)
Adressierungsarten	30 (einschl. Modi)
Befehlsausführungszeiten (einfache Befehle, CLK=5MHz)	ca. 400 ns beim Abarbeiten des Befehls aus der Queue; ca. 1 us, wenn sich der Befehl nicht in der Queue befand und bei 1 * TW für Speicherzugriff
Direkt adressierbarer Speicherbereich	1 MByte, Adr. 0 FFFFFH
E/A-Adressraum	64 KByte, Adr. 0 FFFFH

1.2 Lokale E/A-Adressen (Hex):

- PIC 8259A (Master-PIC)	00C0, C2 oder 00C4, C6
- CP DL 259 (Control Port)	00CC
- SIG DL 123 (Soft-Init Gen.)	00CE
- PIT 8253 (Timer)	
C. 1	00D0
C. 2	00D2
C. 3	004
MODE	00D6
- PCI 8251A (USART)	
DATA	00D8 oder 00DC
CMD	00DA oder 00DE
# Low-Impuls an XW5	00C8
# Low-Impuls an XW4	00CA

1.3 Lokale Speicherressourcen

	Schaltkreis	Kapazität
- 2 Fassungen 28-polig zur Bestückung mit EPROM 1)	U2716	4 KByte
	U2732	8 KByte
	U2764	16 KByte
	(I27128)	32 KByte
	(I27256)	64 KByte
- 2 Fassungen 28-polig zur Bestückung mit EPROM (s. o., außer 2716) oder sRAM 1)	U6264	16 KByte
	U62257	64 KByte

Maximale Varianten:

4 * 27256 = 128 KByte EPROM
ODER:
2 * 27256 = 64 KByte EPROM
+
2 * U62257 = 64 KByte sRAM

1.4 Speicher- und E/A-Mapping

Die Lage und Größe der am LOKAL-, SYSTEM- oder RESIDENTBUS adressierbaren Speicherbereiche bzw. E/A-Kanäle kann (ausschließlich der reservierten lokalen Adressen) frei gewählt werden. Es gelten folgende Bedingungen :

-Speichersegment	>= 4 KByte
Anfangsadresse	Vielfaches von 4 KByte
-E/A-Segment	>= 512 Byte (2 Kanäle)
Anfangsadresse	Vielfaches von 512 Byte

Die Aufteilung und Zuordnung der Segmente erfolgt durch anwenderprogrammierbare TTL-PROMs. Bei Einsatz des Typs MH74S571 können jeweils zwei verschiedene Konfigurationen programmiert werden. (Eine Konfiguration ist normalerweise die Abbildung des Prüfsystems).

Reservierte Adressen

- Speicher	FFFF0H....FFFFFH	(CPU-Reset)
	00000.....003FFH	(Vektortabelle)
- E/A	Kanal 0	(0000....00FFH)
	Kanal 128	(8000....80FFH)

1) Beide Fassungen müssen mit Schaltkreisen gleichen Typs bestückt werden.

```
*********************************************************************
*                                          * BL.-NR. *              *
*                                          *         *              *
*      36 04 38   162.25 (TB2) (4)         *   3     *              *
*                                          *         *              *
*********************************************************************
```

1.5 Interrupts

Interruptsystem (Hardware)	1 * NMI vektorisierte Interruptbehandlung: 8 * INTRn (maskierbar), kaskadierbar bis zu 64 Ebenen
Interruptquellen (wählbar)	8 * Systembus 8 * Residentbus 10 * lokal 1 * extern (X3) (Die ODERung von max. 3 Quellen ist möglich)
Interruptarten (Modes)	busvektorisiert (BVM) am Systembus oder Residentbus (Slave-PIC liefert Interruptvektor) nicht busvektorisiert (NBVM) (Master-PIC liefert Int.-Vektor)
Über Control Port (CP) generierbare Interrupts	2 (zur Unterbrechung anderer Master) MINT0, MINT1

1.6 Control Port (CP)

Durch Ausgabebefehle auf die Adresse 00CCH können verschiedene Steuerfunktionen realisiert werden:

Ausgabedaten SET	RESET	Portleitung (Kanal)	Kommando
X1	X0	0	MINT0 ausloesen
X3	X2	1	MINT1 ausloesen
X5	X4	2	Bus Override (LOCK)
X7	X6	3	Enable Bus-NMI 1)
X9	X8	4	LED "USER"
XB	XA	5	Enable Pegel-Interrupt
XD	XC	6	MULTIP0 setzen
XF	XE	7	MULTIP1 setzen

Die Bits 4 ... 7 sind beliebig (X)

Die Kanäle 6 und 7 sind Multifunktionspins und können benutzt werden z.B. für:

- Enable/Disable C1 vom PIT
- Enable/Disable C2 vom PIT
- Page-Umschaltung TTL-PROM D20 (MEM)
- /ADR14 aktiv (Speicherblockerweiterung am SB)
- /ADR15 aktiv (Speicherblockerweiterung am SB)

1) Für beliebige NMI-Quelle aus der Interrupt-Matrix

```
*********************************************************************
*                                          * BL.-NR. *              *
*                                          *         *              *
*       36 04 38 : 162.25 (TB2) (4)        *   4     *              *
*                                          *         *              *
*********************************************************************
```

1.7 Sonstiges

Statusanzeigen (LED)	
- S-BUS	ZVE besitzt Zugriffsrecht zum SB
- TIMEOUT	Quittungssignal von adressiertem Slave-Modul fehlt
- USER	Über CP ein- und ausschaltbar
TIMEOUT-Überwachung	ca. 8 ms, (Wickelbrücke)
WAIT-Steuerung (STEP)	vorhanden, über 'not bussed'-Leitungen
SOFT-INIT	löst /INIT-Impuls am Residentbus aus, wahlweise auch am Systembus und X3 (ca. 9 ms)
Taktfrequenzen für PIT:	
C1,C2	wählbar: 2,46 1,23 oder 0,307 MHz beide Kanäle kaskadierbar
C3	fest: 1,23 MHz
CPU-Taktfrequenz (CLK)	5 MHz (8 MHz, 10 MHz möglich)
Bus-Taktfrequenzen	
/BCLK	9,8304 MHz
/CCLK	9,8304 MHz

2. Anschlußkennwerte

2.1 Energieversorgung

Nennspannung V	Grenzwerte min. V	Grenzwerte max. V	Stromaufnahme max. A
+ 12	+ 11,8	+ 12,5	0,1
+ 5	+ 4,9	+ 5,2	4,0
- 12	- 12,5	- 11,8	0,05

Netzausfallerkennung — Behandlung über NMI realisierbar

2.2 Steckverbinder und Anschlußbelegung

- Rückverdrahtungsseite:
  - . X1 — Systembus MMS16, Steckerleiste C96-102 TGL 43887 Anschlußbelegung siehe Blatt 9 und V-MMS16 004 (Busrichtlinie)
  - . X2 — Residentbus MMS16, Steckerleiste C96-102 TGL 43887 Anschlußbelegung siehe Blatt 10 und V-MMS16 007 (Residentbus)
- Griffseite
  - . X3 — Interface IFSS, V.24, Sondersignale; Subminiatursteckverbinder 25-polig Buchsenleiste 203-25 EBS-GO 4006/01-2V Anschlußbelegung siehe Blatt 8

3. Schnittstellen

3.1 serielle Schnittstelle IFSS nach TGL 42886, sternförmig seriell

. Übertragungsart	Duplex, asynchron, Stromschleife 20 mA 1 Sende-, 1 Empfangsschleife, beide aktiv
. Schutz	galvanische Trennung über Optokoppler
. Logische Bedingungen	"1" = High = 15 ... 25 mA "0" = Low = 0 ... 3 mA
. Baudrate	max. 19,2 kbaud
. Kabellänge	max. 500 m bei 9,6 kbaud paarweise verdrillte, abgeschirmte Leitung, max. 200 Ohm je Leitungspaar
. Schnittstellenleitungen	s. Tab. 2.1
. Steckverbinder	X3, Subminiatursteckverb. Buchsenleiste 203-25 EBS-GO 4006/01-2V

3.2 serielle Schnittstelle V.24 nach TGL 29077/01 und 02

. Interface-Typ	Duplex, seriell, pegelgesteuerte Signale, unsymmetrische Leitungen
. Konfiguration	DTE (Datenendeinrichtung)

. Übertragungsart	synchron oder asynchron
. Logische Bedingungen	"EIN" bzw. "0": > + 3 V "AUS" bzw. "1": < - 3 V
. Baudraten	asynchron: max. 9,6 kbaud synchron: max. 20 kbaud
. Kabellänge	max. 15 m
. Schnittstellenleitung	s. Tab. 2.1
. Steckverbinder	X3, Miniatursteckverb. Buchsenleiste 203-25 EBS-GO 4006/01-2V

3.3 Schnittstellenauswahl

. Senden: parallel sowohl IFSS als auch V.24 möglich

. Empfang: durch Wickelbrücke wird V.24 ODER IFSS eingestellt

4. Konstruktive Kennwerte

Mehrlagenleiterplatte mit den Abmessungen
233,35 mm x 160 mm (Doppeleuropaformat)

Zulässiges Steckraster min. 20,32 mm

5. Umgebungsbedingungen

Die Module sind wie folgt klassifiziert:

EK3/TK1/G02/S21/TM1,2,3,4 TGL 26465

Die Einsatzklasse EK3 ist im Finalprodukt durch geeignete konstruktive Lösungen, z.B. durch Zwangsbelüftung, zu gewährleisten.

6. Schutzkennwerte

- Schutzklasse 0 TGL 21 366
- Schutzgrad IP00 TGL RGW 778

Die Anforderungen bezüglich Schutzgüte, Funkentstörklasse und Störbeeinflussung sind durch geeignete konstruktive und schaltungstechnische Maßnahmen im Finalerzeugnis zu realisieren.

7. Funktionsnachweis

Die Module nach 36 04 38 : 162.25 sind auf einem Incircuit-Tester geprüft. Der Funktionsnachweis erfolgt nach der gerätespezifischen Konfigurierung nach xxxxxx:xxx.27 mittels dynamischem Funktionstest.

8. Steckverbinderbelegung

8.1 Kopfsteckverbinder X3

Kont. Nr.	Signal	Input (I) Output (O)	Bedeutung
01	SE	-	Schirm V.24
02	103	O	Sendedaten V.24
03	104	I	Empfangsdaten V.24
04	105	O	Aufforderung Senden V.24
05	106	I	DCE (DUeE) bereit zum Senden (V.24)
06	107	I	DCE betriebsbereit V.24
07	102	-	Betriebserde V.24
08	-	-	frei
09	-	-	frei
10	SD-	I	Sendeschleife IFSS
11	CO2	O	Ausgang PIT Kanal 2
12	/EXINT	I	Schmitt-Trigger gepufferter Eingang für externen Interrupt
13	ED-	I	Empfangsschleife IFSS
14	ED+	O	Empfangsschleife IFSS
15	-	-	frei
16	USE1	-	frei für USER (Wickelstift)
17	115	I	Empfangsschrittakt von DCE (V.24)
18	-	-	frei
19	SD+	O	Sendeschleife IFSS
20	108/2	O	DTE (DEE) betriebsbereit (V.24)
21	USE2	-	frei für USER (Wickelstift)
22	/UR	I/O	wahlweise Ein- oder Ausgang für USER-RESET-Signal
23	-	-	frei
24	113	O	Sendeschritttakt von DTE V.24
25	-	-	frei

ACHTUNG: Die Stromrichtung des IFSS ist wie folgt definiert:

SD-, ED- Stromeingang der ZVE
SD+, ED+ Stromausgang der ZVE

	BL.-NR.
36 04 38 : 162.25 (TB2) (4)	8

8.2 Basissteckverbinder X1 (Systembus)

Stift Nr.	Reihe a	b	c
1	/MRDC	/BCLK	/IORC
2	/MWTC	* GND *	/IOWC
3	/BPRN 1)	/BUSY	/INTA
4	/BPRO 1)	/CBRQ	/BREQ 1)
5	AUX0 1)3)	AUX1 1)3)	AUX2 1)3)
6	-	* GND *	-
7	/INT0	/INT1	/INT2
8	/INT3	/INT4	/INT5
9	/INT6	* GND *	/INT7
10	AUX3 1)3)	/XACK	/INIT
11	+ 5 V	/STOPM 1)	/NMIM 1)
12	+ 5 V	+ 12 V	+ 12 V
13	-	* GND *	-
14	+ 5 V	- 12 V	- 12 V
15	+ 5 V	-	-
16	/ADR0	/ADR1	/ADR2
17	/ADR3	* GND *	/ADR4
18	/ADR5	/ADR6	/ADR7
19	/ADR8	/ADR9	/ADRA
20	/ADRB	* GND *	/ADRC
21	/ADRD	/ADRE	/ADRF
22	/ADR10	/ADR11	/ADR12
23	/ADR13	* GND *	/ADR14
24	/ADR15	- 2)	+ 5 V
25	- 2)	/BHEN	+ 5 V
26	/LOCK	* GND *	/CCLK
27	/DAT0	/DAT1	/DAT2
28	/DAT3	/DAT4	/DAT5
29	/DAT6	* GND *	/DAT7
30	/DAT8	/DAT9	/DATA
31	/DATB	/DATC	/DATD
32	/DATE	* GND*	/DATF

1) über Bus-Baugruppe nicht durchverbunden (not bussed - Leitung)
2) Busleitung, reserviert für künftige Erweiterungen der ZVE
3) frei für Anwender

8.3 Basissteckverbinder X2 (Residentbus)

Stift Nr.	Reihe a	Reihe b	Reihe c
1	/MRDC-R	- 4)	/IORC-R
2	/MWTC-R	* GND *	/IOWC-R
3	- 1)	/RBGT	/INTA-R
4	- 1)	/RBEN	- 1)
5	AUX0-R 1)3)	AUX1-R 1)3)	AUX2-R 1)3)
6	- 4)	* GND *	- 4)
7	/INT0-R	/INT1-R	/INT2-R
8	/INT3-R	/INT4-R	/INT5-R
9	/INT6-R	* GND *	/INT7-R
10	AUX3-R 1)3)	/XACK-R	/INIT-R
11	+ 5 V	/STOP-R 1)	/NMI-R 1)
12	+ 5 V	+ 12 V	+ 12 V
13	- 4)	* GND *	- 4)
14	+ 5 V	- 12 V	- 12 V
15	+ 5 V	-	-
16	/ADR0-R	/ADR1-R	/ADR2-R
17	/ADR3-R	* GND *	/ADR4-R
18	/ADR5-R	/ADR6-R	/ADR7-R
19	/ADR8-R	/ADR9-R	/ADRA-R
20	/ADRB-R	* GND *	/ADRC-R
21	/ADRD-R	/ADRE-R	/ADRF-R
22	/ADR10-R	/ADR11-R	/ADR12-R
23	/ADR13-R	* GND *	- 2)
24	- 2)	- 2)	+ 5 V
25	- 2)	/BHEN-R	+ 5 V
26	/LOCK-R	* GND *	/CCLK-R
27	/DAT0-R	/DAT1-R	/DAT2-R
28	/DAT3-R	/DAT4-R	/DAT5-R
29	/DAT6-R	* GND *	/DAT7-R
30	/DAT8-R	/DAT9-R	/DATA-R
31	/DATB-R	/DATC-R	/DATD-R
32	/DATE-R	* GND*	/DATF-R

1) über Bus-Baugruppe nicht durchverbunden (not bussed - Leitung)
2) Busleitung, reserviert für künftige Erweiterungen derZVE
3) frei für Anwender
4) durch Residentbus nicht belegte Busleitung

FUNKTIONSBESCHREIBUNG

INHALTSVERZEICHNIS

Blatt

1. Das System 8086 2

2. Die ZVE16-M1 im Blockschaltbild 4
2.1 CPU & NDP 4
2.2 Mapping 7
2.3 Der Lokalbus 7
2.4 Arbiter und Multimaster Systembus 8
2.5 Der Residentbus 9
2.6 Die RESET-Matrix 9
2.7 Unterstützung bei der Fehlersuche 9
2.8 Die lokalen Ressourcen 10
2.9 Serielle Kommunikation 11
2.10 Echtzeitverarbeitung mit dem PIC 12
2.11 NMI 15
2.12 Parallele Ausgabe 15
2.13 Speicherblockerweiterung am Systembus 16

3. Schaltungsbeschreibung 19
3.1 ON BOARD - Steuerung & lokale Zyklen 19
3.2 Die externen Interfaces 21
3.3 Dynamische Kennwerte 25

4. Anhang: Impulsdiagramme 27

ÄZ	Mitt. Nr.	Blatt
1	11	1, 2, 4, 9, 10, 16, 17, 19, 21 - 24

AEND.-VERMERK:		SPEZ.TECHNOL.
ÄZ1 ÄM11 06.89	ZVE 16 - M1 (Funktionsbeschreibung)	BL-ANZ.: 35
BEARB.:		
KONSTR.:		
TECHNOL.:	36 04 38 : 162.25 (TB3) (4)	
E-STAND.:		
STAND.:		

FUNKTIONSBESCHREIBUNG

1. Das System 8086

Jede Leiterplatte eines Rechnersystems läßt sich in mehrere, relativ selbstständige Funktionskomplexe unterteilen, die durch ein Bussystem verbunden sind. Das gilt natürlich besonders für die ZVE16-M1, als Zentraleinheit eines modernen, leistungsfähigen 16-Bit Mikrorechnersystems. Je leistungsfähiger (hard- und softwaremäßig) ein Rechnersystem ist, desto komplizierter ist normalerweise die Struktur der erforderlichen Zentraleinheit(en). Die immer größere Komplexität läßt sich am besten durch die Verwendung spezieller, hochintegrierter, die CPU ergänzender Bauelemente (Systemkomponenten) beherrschen. Das System 8086 bietet hierfür gute Möglichkeiten. Die unbedingt erforderlichen Input Signale (RESET, CLK, READY) der CPU bzw. der anderen Systemschaltkreise werden durch den CLOCK GENERATOR 8284(A) systemgerecht aufbereitet. Die CPU sendet die Statussignale /S0, /S1 und /S2, die den Typ des eingeleiteten Buszyklus bzw. den Prozessorzustand definieren. BUS CONTROLLER 8288 und BUS ARBITER 8289 werten die Statussignale in Abhängigkeit vom Takt CLK aus. Der Bus Controller liefert entsprechend Tab.1 die erforderlichen Kommandosignale sowie eine Reihe von Signalen zur internen (on board) ZVE-Steuerung. Für die einzelnen Businterfaces Lokalbus (LB), Residentbus (RB) und Systembus (SB) ist jeweils ein separater Controller vorhanden. Der Bus Arbiter sichert in einem MULTIMASTER SYSTEM die prioritätsgerechte Benutzung des Systembusses durch mehrere ZVEs. Da viele grundsätzliche Systemfunktionen von diesen drei Schaltkreisen übernommen werden, ergibt sich eine relativ einfache ZVE-Struktur, wie sie auch im Blockschaltbild ihren Niederschlag findet. Eine inhaltliche Ergänzung der CPU bilden die verschiedenen Co-Prozessoren des Systems, von denen der NUMERIC DATA PROCESSOR (NDP) 8087 die ZVE mit einer den `Minis` ebenbürtigen Gleitkomma-Arithmetik ausrüstet. Alle diese Ergänzungen hätten jedoch wenig Sinn ohne eine ausgefeilte CPU- Architektur.

/S2	/S1	/S0	BIU - Status	8288-Kommando
0	0	0	Interrupt Acknowledge	/INTA
0	0	1	Read I/O	/IORC
0	1	0	Write I/O	/IOWC, /AIOWC
0	1	1	Halt 1)	-
1	0	0	Instruction Fetch	/MRDC
1	0	1	Read Memory	/MRDC
1	1	0	Write Memory	/MWTC, /AMWC
1	1	1	Passive 1)	-

1) kein Buszyklus

QS1	QS0	Queue - Status
0	0	No Operation
0	1	First Byte from Queue
1	0	Empty the Queue
1	1	Subsequent Byte from Queue

Tab. 1.1: BIU- und QUEUE- Statussignale des 8086

Der 8086 besteht eigentlich aus zwei separaten, asynchron zueinander arbeitenden Prozessoren: der EXECUTION UNIT (EU) und der BUS INTERFACE UNIT (BIU). Während die BIU in Form von BUSZYKLEN ständig Befehle holt, den Datentransfer abwickelt und die notwendigen Steuersignale zur Verfügung stellt, tritt die EU nach außen hin nicht in Erscheinung. Sie dient ausschließlich der Befehlsabarbeitung, die buszyklusunabhängig ist. Zwischen dem Einlesen eines Befehls und seiner Ausführung besteht deshalb kein direkter Zusammenhang mehr. Das Bindeglied zwischen beiden Einheiten ist ein 6 * 8 bit (FIFO-)RAM, die sogenannte INSTRUCTION QUEUE. Sobald zwei Bytes der Queue frei sind, führt die BIU selbständig Lesezyklen aus, um sie wieder mit Befehlsbytes (Code) zu füllen. Die Zugriffe erfolgen wortweise auf fortlaufende Adressen, wobei die Werte von Code Segment und Instruction Pointer (CS:IP) zu Grunde gelegt werden. Dieses sogenannte PREFETCHING wird nur unterbrochen, wenn die EU der BIU signalisiert, daß sie Operanden von einer bestimmten Adresse benötigt bzw. Daten ausgeben will. Bei ungerader Operandenadresse (A0=1) führt die CPU automatisch zwei zusammenhängende Byte-Zugriffe aus. Hat die EU einen Befehl abgearbeitet, entnimmt sie den nächsten ohne Zeitverlust direkt aus der Queue. Die minimale Verarbeitungszeit für einen Befehl aus der Queue beträgt 400 ns (2 Takte). Nach einem Sprungbefehl wird die Queue gelöscht und die ersten 6 Bytes ab der neuen Adresse werden von der BIU eingelesen. Der Zugriff der EU zur Queue wird nach außen hin nur durch die Pins QS0,QS1 signalisiert. Die Information über den internen Queue-Status ist jeweils nur während des Taktes, nachdem eine EU-Operation entspr. Tab. 1.1 durchgeführt wurde, gültig. QS0, QS1 sind wichtig für Co-Prozessoren und auch für Emulatoren. Der Effekt dieses INSTRUCTION PIPELINING ist, daß die CPU kaum Zeit zum expliziten Einlesen von Befehlen benötigt und eine hohe Busauslastung garantiert ist. Im Gegensatz zu anderen Prozessoren ist deshalb auch der Zeitverlust bei der Arbeit mit langsamen Speichern lange nicht so groß wie die theoretische Summe der zusätzlichen WAIT-Zyklen. Die Konzeption der ZVE16-M1 erlaubt den Einsatz von schnelleren CPU-Typen (8, 10 MHz), wodurch die Leistung der Einheit erhöht werden kann.

2. Die ZVE16-M1 im Blockschaltbild

Anhand des Übersichtsplanes (360438:162.25 (Up)(3)) soll im folgenden eine grundsätzliche Funktionsbeschreibung der ZVE gegeben werden, wobei der Schwerpunkt auf dem funktionellen Zusammenhang unter den Bedingungen eines MULTIMASTER SYSTEMS liegt. Blatt 1 des Planes enthält die Komplexe

CPU mit NDP
ADDRESS & STATUS LATCH
MAPPING DECODER
LOKALBUS INTERFACE
SYSTEMBUS INTERFACE
RESIDENTBUS INTERFACE
RESET MATRIX
TIME OUT GENERATOR
CLOCK & READY GENERATOR 1

2.1 CPU & NDP : Potenzierung der Rechenleistung

Die CPU 8086 als "Herz" der ZVE führt die System-Verarbeitungsfunktionen aus und erzeugt Adreß- und Steuersignale, die zur Kommunikation mit angeschlossenen Speicher- und E/A-Einheiten notwendig sind. Die Standard-Taktfrequenz beträgt 5 MHz, das entspricht 200 ns/Takt. Da die CPU für einen Buszyklus 4 Takte benötigt (T1...T4), beträgt die minimale Zyklusdauer (ohne Wait States) 800 ns. In bestimmten Situationen (z.B INTA-Sequenz) können zwischen einzelnen Buszyklen 'idle states' (Ti) auftreten. Die CPU nutzt diese Leertakte (keine BIU-Aktivität) für interne Funktionen. Idle States treten natürlich auch auf, wenn die Queue gefüllt ist oder wenn die EU einen Sprungbefehl dekodiert. Die CPU arbeitet im MAXIMUM MODE (Pin 33= GND), um den Anschluß von Co-Prozessoren, wie etwa den 8087, und den Einsatz in Multimastersystemen zu gewährleisten. Im Max. Mode liefert die CPU anstelle von Kommandosignalen die Statussignale /S0, /S1, /S2, die von angeschlossenen Bus Controllern ausgewertet werden. Die Parallelschaltung CPU/NDP wirkt nach außen als eine einzige Zentraleinheit, die einen gegenüber dem 8086 erweiterten Befehls- und Registersatz sowie Operationsumfang hat. Der NDP "hört" den gemeinsamen AD-BUS ab, registriert die von der CPU eingelesenen Befehle und führt nur die für ihn bestimmten arithmetischen und logischen Operationen aus. 8087-Befehle beginnen immer mit ESCAPE (binär: 11011) und können an beliebiger Stelle im Code Segment der CPU stehen. Um Operanden zu manipulieren, kann der NDP von der CPU die Kontrolle über den lokalen AD-Bus erhalten und Buszyklen durchführen. Die reibungslose Busübergabe wird durch ein Signalspiel auf der Leitung RQ/GT1 garantiert. Stellt der NDP Fehler bei seinen Berechnungen fest, kann er das Signal INT87 aktivieren und über die Interrupt Matrix das laufende Programm unterbrechen. Das Signal BUSY, welches mit dem Pin TEST der CPU verbunden ist, zeigt die Ausführung eines numerischen Befehls durch den 8087 an und sorgt bei Bedarf für eine Synchronisation beider Schaltkreise (WAIT-Befehl). Dadurch ist eine echte Parallelarbeit möglich: die CPU arbeitet für sie bestimmte Befehle ab, während der NDP einen arithmetischen Befehl ausführt.

```
                 ¦  T1     T2     T3  . (Tw) .  T4  . (Ti) ¦  T1
                __   __   __   __   __     _   __
CLK             ¦___¦  ¦___¦  ¦___¦  ¦_.... ¦___¦  ¦_....
                ¦ ___  .      .      .      .      .      ¦ ___
ALE  2)        ___¦   ¦_________________...... _______________¦   ¦___
                __¦      .      .      .      ________________¦
/S0...2 1)      ¦_________________////////                    ¦________
                ¦      .      .      .                       ¦
Schreibzyklus:
                ¦    ADR              DATA OUT                ¦
               _____ ______ ________________________        ____ __
 ADn              X      X                        >-----<    X
               ----- ------ ----------------------        ---- ----
/MWTC oder     ________________              . ____________________
/IOWC  2)                      ¦_____ ..... _¦                     .
                ¦                    .      .                ¦
Lesezyklus:
                ¦     ADR           DATA IN                  ¦
               _____ ______        ____________        ___ ___
 ADn              X      >------<             >----------<   X
              ------ ------        ------------        --- ---
/MRDC oder     __________                .      . ____________________
/IORC  2)              ¦___________ ...... _¦
                ¦      .    ___      .      .      .      ¦
RDY    3)      //////////////   \\\\
```

```
     15                  0
     +----------+---------+
AX   |7   AH   0|7  AL   0|
     +----------+---------+
BX   |    BH    |   BL    |        Allgemeine Datenregister
     +----------+---------+             (8/16 Bit)
CX   |    CH    |   CL    |
     +----------+---------+
DX   |    DH    |   DL    |
     +----------+---------+

     Pointer- & Indexregister (16 Bit)    1)

     +--------------------+
SP   |15                 0|   STACK POINTER
     +--------------------+
BP   |                    |   BASE POINTER
     +--------------------+
SI   |                    |   SOURCE INDEX
     +--------------------+
DI   |                    |   DESTINATION INDEX
     +--------------------+

     Segmentregister (16 Bit)

     +--------------------+
CS   |15                 0|   CODE SEGMENT
     +--------------------+
DS   |                    |   DATA SEGMENT
     +--------------------+
SS   |                    |   STACK SEGMENT
     +--------------------+
ES   |                    |   EXTRA SEGMENT
     +--------------------+

     Spezielle Register

     15                  0
     +--------------------+
IP   |                    |   INSTRUCTION POINTER
     +---------+----------+
FR   |7   FH  0|7   FL   0|   FLAG REGISTER
     +---------+----------+

FR-FORMAT: X|X|X|X|OF|DF|IF|TF|SF|ZF|X|AF|X|PF|X|CF
           15                 8                  0
X = Don't Care
```

1) auch als allgemeine Datenregister verwendbar

Bild 2.2: CPU-Registerstruktur

2.2 Mapping - Der Anwender bestimmt

Die CPU führt ihre Buszyklen völlig unabhängig von der physikalischen Lokalisation der adressierten Einheiten aus. Jeder Anwender muß entsprechend seiner Systemkonfiguration festlegen, ob ein Zugriff zu einer bestimmten Adresse über

* Lokalbus Interface
* Residentbus Interface
* Systembus Interface

ausgeführt wird d.h., welche Adreßbereiche an welchen Bussen belegt sind. Für Speicherzugriffe erfolgt diese Zuordnung durch Programmierung des MEMORY MAPPING DECODERs; für E/A-Zugriffe ist es der E/A-MAPPING DECODER. Beide Decoder enthalten also eine Abbildung der vorhandenen bzw. geplanten Ressourcen des jeweiligen Anwendersystems. Die Decoder bestehen aus jeweils einem TTL-PROM MH 74 S 287 bzw. MH 74 S 571. Der Memory Mapping Decoder liefert gleichzeitig die Chip Select-Signale für die lokalen Speicherressourcen (/MEMØ, /MEM1). Der E/A-Mapping Decoder legt außerdem fest, ob busvektorisierte Interrupts am System- oder Residentbus zugelassen sind. Bei Einsatz des MH 74 S 571 können zwei verschiedene Konfigurationen programmiert werden. Dadurch ist es z.B. möglich, zwischen der Ressourcenverteilung in einem Prüfsystem und der des Anwendersystems zu wählen. Die Umschaltung erfolgt durch eine Wickelbrücke oder durch ein Bit des Control Ports (CP).

2.3 Der Lokalbus

Der LOCAL BUS CONTROLLER (LBC) sendet die Kommandosignale für die auf Blatt 2 dargestellten lokalen Ressourcen der ZVE. Während die lokalen Speicherauswahlsignale vom Memory Mapping Decoder mitgebildet werden, dekodiert ein diskret aufgebauter Block LOCAL SELECT die Chip Select-Signale für die lokalen E/A-Geräte. Neben den Signalen zur Richtungs- und Enable-Steuerung des LOCAL DATA BUFFER erzeugt der LBC im Takt T1 das Signal ALE als Strobe für das Address & Status Latch sowie MCE als 1-bit Kennzeichnung für einen Interrupt Acknowledge-Zyklus. Die CPU realisiert ein asynchrones Übertragungsprotokoll (Handshake-Prinzip). Jede adressierte Ressource muß der CPU die Beendigung des Datentransfers quittieren. Bleibt die Bestätigung aus, fügt die CPU zwischen T3 und T4 Wartezyklen (WAIT STATES) ein, bis die Quittung (READY) kommt. Das gilt natürlich auch für den lokalen Bereich. Aus diesem Grund sorgt ein WAIT STATE GENERATOR dafür, daß bei lokalen Zugriffen nach einer definierten, einstellbaren (Ø,1,2,3) Anzahl WAIT-Takten das Signal RDY2 gebildet wird. Einheiten am System- oder Residentbus aktivieren als Quittung /XACK bzw. /XACK-R. Zur Überwachung des Quittungsbetriebes dient der TIME OUT GENERATOR, der über Wickelbrücke zugeschaltet werden kann. Er wird in jedem Buszyklus durch ALE aktiviert und erzeugt bei fehlender Quittung nach ca. 8 ms zwangsweise RDY2, um die Blockierung des Systems zu verhindern. Gleichzeitig kann ein Interrupt ausgelöst werden, um die Ausnahmesituation zu behandeln. LED H3 zeigt den TO-Status optisch an. Leuchtet die Anzeige nicht, befindet sich die ZVE im RUN-Zustand d.h., sie führt Buszyklen aus.

2.4 ARBITER und MULTIMASTER SYSTEMBUS

Der Arbeit in einem Multimaster System liegt ein einfaches, aber wirkungsvolles Organisationsprinzip zu Grunde: Jeder Master im System nutzt seinen Lokal- bzw. Residentbus zur Programmabarbeitung, während über den Systembus globale Daten ausgetauscht oder gemeinsame Betriebsmittel benutzt werden. Die daraus resultierende Parallelarbeit auf mehreren leistungsfähigen Bussystemen ermöglicht sehr effiziente Problemlösungen. Das SYSTEMBUS INTERFACE garantiert, daß eine ZVE16-M1 gemeinsam mit anderen Busmastern globale Speicher- bzw. E/A-Ressourcen am Systembus nutzen kann. Das Interface ordnet dazu nach einem vom Anwender wählbaren Prioritätsschema (parallel oder seriell, siehe Busrichtlinie) den Systembus jeweils dem anfordernden Master mit der höchsten Priorität zu. Bis zu 3 Master können beim verwendeten Bus Clock (9,8304 MHz) seriell priorisiert werden. Bei mehr Mastern muß die Frequenz entsprechend (2) verringert und von außen eingespeist oder parallele Priorisierung verwendet werden.

f [MHz] <= 33,3 :n ; n: Anzahl der Master (2)

Die konfliktfreie Zuordnung des Busses wird auch als Arbitrage bezeichnet. Die Arbiterfunktion auf der untersten (Hardware-)Ebene erledigt der integrierte BUS ARBITER 8289, sobald das Signal SYSBUS gebildet wird. Wenn die ZVE den Bus erhalten hat, sendet der Arbiter /AEN, um die Kommando-, Daten- und Adreßleitungen vom Systembus Interface zu aktivieren, so daß zumindest ein Buszyklus vollständig ausgeführt wird. Eine Anforderung des Busses (SYSBUS) entsteht immer dann, wenn durch die Mapping Decoder eine Systembusadresse erkannt wird. Es existieren hard- und softwaremäßige LOCK-Mechanismen, die bei Bedarf einen unterbrechungsfreien Buszugriff sichern. Alle Arbiter eines Systems synchronisieren sich über die Taktleitung /BCLK. Systembuszugriffe sind nur möglich, wenn am Eingang /BPRN des Arbiters 'low'-Potential liegt (höchste Priorität). Die softwaremäßige Kommunikation zwischen den einzelnen Mastern wird in der Regel über Flags (Semaphoren) im RAM-Bereich und/odr Interrupts abgewickelt. Ein spezieller Bestandteil vom Systembus Interface, welcher ebenfalls die Multimaster Kommunikation unterstützt, ist die FLAG INTERRUPT LOGIK. Durch die Ausgabe eines Bits auf eine über TTL-PROM einstellbare E/A-Kanaladresse können andere .Busmaster das Signal FINT der ZVE aktivieren, welches über die Interruptmatrix zur Unterbrechung des laufenden Programms genutzt werden kann. Anschließend können die Forderungen des unterbrechenden Masters berücksichtigt werden. Der Vorteil von FINT besteht z.B. darin, daß keine Businterrupt-Leitung belegt wird. Weiterhin kann aus der Interruptmatrix ein beliebiges (impulsförmiges) Signal ausgewählt, in einem Flip-Flop gespeichert und in einen Pegel-Interrupt (PINT) gewandelt werden. Mit dem Bit 5 vom CP wird PINT zugelassen oder gesperrt. Durch die Wahl der Priorisierung oder durch ein entsprechendes Kommunikationssystem muß der Anwender dafür sorgen, daß auch niederpriorisierte Master zu den gewünschten Zeitbedingungen zum Systembus zugreifen können.

2.5 Der Residentbus

Für Applikationen, bei denen das 'lokale Programmpacket' mehr Betriebsmittel benötigt, als auf der ZVE selbst vorhanden sind, steht dem Anwender das RESIDENTBUS INTERFACE zur Verfügung. Der Residentbus ist also nichts weiter als die Verlängerung des lokalen Busses, auf den deshalb auch nur die eine ZVE zugreifen kann. Demzufolge sind Kommando- und Adreßsignale der lokalen Buszyklen auch auf dem RB aktiv. Da nur ein Master am Residentbus zugelassen ist, erfolgen alle Zugriffe ohne Busarbitration d.h. mit maximaler Geschwindigkeit. Aus diesem Grund sollten in einem Multimaster System möglichst viele Ressourcen an den einzelnen Lokal- bzw. Residentbussen lokalisiert sein. Der Residentbus ist funktionell (bis auf das Fehlen der Arbitrationssignale) und konstruktiv identisch mit dem Systembus, so daß Slave-Baugruppen für beide Systeme, bis auf die Anordnung des Steckverbinders, gleich sein können. Dementsprechend stimmt auch die Struktur beider Interfaces überein, außer daß beim Residentbus Bus Arbiter und Flag Interrupt Logik fehlen. Für bestimmte Anwendungen (z.B. für Prüfzwecke) läßt sich jedoch auch das Residentbus Interface abschalten (/RBEN inaktiv). Da nur eine ZVE am Residentbus arbeitet, besteht die Möglichkeit, mit voreilendem Quittungssignal (/XACK) zu arbeiten und so die Datentransferrate zu erhöhen. Ein adressierter Slave sendet dabei das Signal /XACK-R max. 187 ns bevor die Daten gültig sind.

2.6 Die RESET - Matrix

In Rechnersystemen ist es üblich, daß die ZVE nach dem Einschalten ein RESET-Signal sendet, welches angeschlossene Baugruppen in einen bestimmten Grundzustand initialisiert. Bei Multimaster-/ Multibus-Systemen werden auch an die Reset Logik höhere Ansprüche gestellt, die sich mit Hilfe der RESET MATRIX erfüllen lassen. Über diese Matrix läßt sich z.B. festlegen, welcher Master im System das Signal /INIT zum Initialisieren der Systembuskomponenten liefert. Auf der ZVE kann softwaremäßig ein Rücksetzimpuls (SINIT) erzeugt und auf die angeschlossenen Bussysteme oder den Frontsteckverbinder X3 verteilt werden. Über X3 kann ein Signal zum Initialisieren der ZVE oder der Bussysteme eingespeist werden. In jedem Fall wirkt das durch RC-Kombination erzeugte "Power up-Reset" nach dem Einschalten auf die ZVE selbst und den Residentbus. Ein von außen zugeführtes RESET-Signal muß mindestens 4 CLK-Zyklen anliegen und wird intern durch die CPU synchronisiert. Die Dauer des Power-Up-RESET ist abhängig von Netzteil und Busbelastung und beträgt etwa 2 s.

2.7 Unterstützung bei der Fehlersuche

Wie schon erwähnt, erzeugt der Taktgenerator 8284 verschiedene Input Signale für den 8086: Aus der 15 MHz Quarzfrequenz entsteht

der unsymmetrische (Tastverhältnis 1:2) 5MHz CLK, ein Reset-Impuls auf der /RESIN-Leitung wird zu OR bzw. RES und die Transfer-Quittungssignale sind Grundlage für die Synchronisierung von READY. Das READY-Signal kann über zwei verschiedene Gates des Generators erzeugt werden. An Gate 1 ist das Quittungssignal (/XACK) vom Systembus angeschlossen. Hat die ZVE kein Zugriffsrecht zum Bus, ist /AEN vom Arbiter inaktiv und die READY-Bildung über dieses Gate wird verhindert. Das entsprechende Signal vom Residentbus (/XACK-R) und die Quittungssignale sämtlicher lokaler Quellen sind auf Gate 2 geführt. Dieses Gate ist durch kein Systemsignal sperrbar, da nur die ZVE selbst zugriffsberechtigt ist. Befindet sich die ZVE im "RUN"-Zustand, führt ein gültiger Zugriff auf eine Adresse am Lokal- oder Residentbus zur unbedingten READY-Bildung über Gate 2. Zur Fehlersuche und für Prüfzwecke ist die einfache Methode der schrittweisen Programmabarbeitung (historisch bedingt) weit verbreitet. Diese Möglichkeit bietet auch die ZVE16-M1. Eine externe Logik (IBH-16) kann die Buszustände von System- und Residentbus auswerten und bei aktivem Kommando die Signale /STOP bzw. /STOP-R bilden. Damit werden die entsprechenden Gates des Generators verriegelt. READY bleibt inaktiv und die CPU fügt Wait States ein. In diesem Zustand liegt die Busbelegung statisch an und kann angezeigt und kontrolliert werden. Soll am SB im Schrittbetrieb gearbeitet werden, muß vorher die TIMEOUT-Brücke entfernt werden. Da die STOP-Signale `Not bussed`-Leitungen sind, müssen sie entsprechend den Gegebenheiten auf den Bussen verdrahtet werden. Weil die Map Logik bei der Aktivierung der Bus Controller nicht zwischen Lokal- und Residentbus unterscheidet, lassen sich auch Lokalbuszugriffe in gleicher Weise schrittweise verfolgen. Die meßtechnische Erfassung dieses Busses ist jedoch schwieriger, da er nur auf der ZVE selbst verteilt ist. So sind z.B. die Daten von lokalen Schreib- und Lesezyklen auf einer am RB angeschlossenen Anzeige, im Gegensatz zu Adressen und Kommandos, nicht sichtbar. Aus diesem und anderen Gründen und weil die Simmulations- und Testmöglichkeiten viel umfangreicher sind, ist für bestimmte Anwendungsfälle der Einsatz eines In-Circuit Emulators (ICE) angebracht. Dazu wird einfach die CPU von der Fassung gezogen und durch den ICE-Adapter ersetzt. Als <u>Ergänzung</u> zur Steckeinheit IBH16 (360438:103.27) und speziell zur Indikation der lokalen Daten direkt an der CPU ist die Lokalbusanzeige LBA-86 gedacht (360486:501.25).

2.8 Die lokalen Ressourcen

Blatt 2 des Blockschaltbildes zeigt im wesentlichen die lokalen Ressourcen, die dem Anwender auf der Einheit zur Verfügung stehen. Lokale Ressourcen sind nur durch die CPU (oder NDP) adressierbare Einheiten (Speicher, E/A), die Kommandos ausführen und quittieren. Im Einzelnen sind vorhanden:

* E/A-GERÄTE:

  - Programmierbarer Interrupt Controller (PIC) 8259A
  - Programmierbares Kommunikations-Interface (PCI) 8251A
  - Programmierbarer Intervall Timer (PIT) 8253
  - Steuer-Port (CP) DL 259
  - Soft-INIT Generator (SIG) DL 123

* SPEICHER:

  Vier 28-polige Fassungen zur Bestückung mit
  - EPROM
  - sRAM

CPU und NDP kommunizieren mit ihren lokalen Ressourcen über den lokalen AD-Bus, der durch ADDRESS & STATUS LATCH und LOCAL DATA BUFFER in den lokalen Adreß- bzw. Datenbus aufgespalten wird. Die erforderlichen Kommandosignale werden durch den LBC geliefert. Weiterhin sind auf Blatt 2 dargestellt:

- INTERRUPT MATRIX mit NMI LOGIK
- CLOCK GENERATOR 2
- RS232C/IFSS-INTERFACE

2.9 Serielle Kommunikation über standardisierte Schnittstelle

Der PCI (USART) 8251A ermöglicht die serielle Kommunikation mit der ZVE. Synchron oder Asynchron Mode, Zeichenlänge, Parität, Stop Bits und Baud Rate sind programmierbar. Die maximale Übertragungsgeschwindigkeit (asynchron) beträgt 19200 Bit/s. Die Kommunikation erfolgt wahlweise über zwei Interfaces. International weit verbreitet ist das RS232C-INTERFACE, welches auch die wichtigsten Leitungen der V24./V.28-Schnittstelle beinhaltet. Für geräteinterne Kopplung und bestimmte andere Anwendungen ist das IFSS-INTERFACE (20 mA-Stromschleife) gedacht. Sender und Empfänger sind durch Lötbrücken aktiv eingestellt. Alle Interfaceleitungen gehen an Steckverbinder X3. Prinzipiell sind zwei Arbeitsweisen möglich: Polling oder Interrupt. Beim Polling werden vor jeder Sende- bzw. Empfangsoperation die Statusbits TxRDY bzw. RxRDY abgefragt. Sind die Bits 1, kann ein Zeichen geschrieben bzw. gelesen werden. Beide Bits stehen auch als externe Pins zur Verfügung, so daß entsprechende Interrupts ausgelöst werden können. Den Sende/Empfangstakt für den USART liefert normalerweise der PIT 8253 mit seinem Kanal 3. Die Kanäle 1 und 2 stehen dem Nutzer als Ereigniszähler oder Intervallzeitgeber zur Verfügung. Alle drei Kanäle sind 16 Bit breit und unabhängig programmierbar. Über die Freigabeeingänge der Kanäle 1 und 2 ist auch eine hardwaremäßige Steuerung möglich. Durch Wickelbrücken können verschiedene Eingangstakte gewählt oder eine Kaskadierung vorgenommen werden. Die Ausgänge der ersten beiden Kanäle sind auf die Interrupt Matrix geführt und können so als Zeitbasis in Echtzeitsystemen dienen. Ein Kanal (CO2) geht zusätzlich noch auf den Interface-Steckverbinder X3. Die Eingangstakte für den PIT werden im CLOCK GENERA-

TOR 2 von einem Quarz 9830,4 KHz abgeleitet. Außerdem erzeugt dieser Generator die Bussignale /BCLK,/CCLK und /CCLK-R. Die Ausspeisung von /BCLK und /CCLK erfolgt über Wickelbrücken, da nur ein Master im System diese Takte für den Systembus liefern darf. Zum Zwecke der PIT-Synchronisation mehrerer Master kann auch der /CCLK der Busleitung auf die ZVE geführt werden.

2.10 Echtzeitverarbeitung mit dem PIC

16-Bit-Prozessoren sind auf Grund ihrer Wortlänge vor allem für die Verarbeitung von Prozeßdaten geeignet. Oft sind viele unterschiedliche Datenquellen zu erfassen. Dabei treten asynchrone Ereignisse (Events) auf, die verschiedene Prioritäten besitzen. Zur Steuerung solcher Prozesse werden heute Real Time Multitasking-Systeme verwendet. Die Architektur der ZVE unterstützt diese Anwendungen durch ein ausgebautes Interrupt System. Kernstück der Interruptbehandlung ist der (Master-)PIC 8259A. Er bietet 8 Vektorinterruptebenen, die durch Kaskadierung mit zusätzlichen Slave-PICs über den System- <u>oder</u> Residentbus im sogenannten "Bus Vektor Mode" (BVM) bis auf 64 erweitert werden können. Im BVM legt der Interrupt auslösende Slave-PIC (auf Kommando von der ZVE hin) seinen Interruptvektor auf den angeschlossenen Bus, so daß ihn die ZVE mit dem 2. INTA-Kommando einlesen kann. Der Master-PIC selbst adressiert dabei den richtigen Slave über eine 3-Bit CAS-Adresse, die auf den Adreßleitungen /ADR8(-R)../ADRA(-R) übertragen wird. Arbeitet der Master-PIC im "Nicht-Bus Vektor Mode" (NBVM), liefert er auch den Interrupt Vektor und die externen Bussysteme werden nicht benutzt. Der PIC signalisiert in beiden Fällen die Interruptanforderung mit seinem Ausgang INT, der mit dem Eingang INTR der CPU verbunden ist. Obwohl der BVM an beiden Bussen möglich ist, empfiehlt es sich (besonders in größeren Systemen), ihn am SB nicht zu benutzen, da dieser unnötig blockiert wird und niederpriorisierte Master evtl. längere Zeit auf die Busübernahme warten müssen. Werden Interrupts im NBVM behandelt, muß der PIC im "Buffered Mode" programmiert werden, da sein Pin 16 zur RDY2-Bildung beim Vektorlesen benutzt wird. Der dem PIC als ICW2 übergebene Interrupt Vektor hat das in Bild 2.3 gezeigte Format. Die Bits V0, V1, V2 werden vom PIC entsprechend der anfordernden Ebene ergänzt.

```
+----+----+----+----+----+---+---+---+
! V7 ! V6 ! V5 ! V4 ! V3 ! 0 ! 0 ! 0 !
+-----------------------------------+

V2 V1 V0 ! anfordernde Ebene
---------+-------------------
0  0  0  ! IR0    (höchste Priorität)
0  0  1  ! IR1
0  1  0  ! IR2
0  1  1  ! IR3
1  0  0  ! IR4
1  0  1  ! IR5
1  1  0  ! IR6
1  1  1  ! IR7
```

<u>Bild 2.3:</u> Format ICW2

Multipliziert mit vier nutzt die CPU den Vektor als Sprungadresse in eine Vektortabelle, welche in jeweils vier aufeinander folgenden Bytes - die absolute Adresse (Segment+Offset) der verschiedenen Interruptroutinen enthält. Diese Vektortabelle belegt die Adressen 00000-003FFH und beinhaltet 256 verschiedene 4-Byte-Vektoren, die mit Nummern (n = 0...255 = dezimaler Wert des Interruptvektors) gekennzeichnet und auch als 'Interrupt Typ n' bezeichnet werden.

Ein Vektor muß mit folgendem Format in der Vektortabelle abgespeichert werden:

```
+-------------------+
| CS (high Byte)    |    n+3
+-------------------+
| CS (low Byte)     |    n+2
+-------------------+
| IP (high Byte)    |    n+1
+-------------------+
| IP (low Byte)     |    Adr. n
+-------------------+
```

Die Vektoren 0 - 4 sind bestimmten Ereignissen durch die CPU fest zugeordnet:

Vektor Nr.	Anfangs-adresse	Aufruf bei
0	00000	Division durch 0
1	00004	T-Statusbit, (TF)=1 (Single Step)
2	00008	NMI
3	0000C	Befehl INT (One Byte Interrupt)
4	00010	Befehl INTO (Interrupt On Overflow)

Die Zuordnung der Typen 5 - 255 obliegt dem Anwender.
Erkennt die CPU eine Interruptanforderung (z.B. NMI), beendet sie den gerade laufenden Befehl und führt dann nacheinander folgende Operationen aus:

```
Lesen IP von Adresse 00008H
Lesen CS von Adresse 0000AH   ; Vektor für Typ 2 Int. (NMI)
Schreiben FR auf SS:SP-2
Schreiben CS auf SS:SP-4
Schreiben IP auf SS:SP-6
```

Danach erfolgt der Sprung in die Interrupt Routine des Anwenders. Durch den Befehl IRET kann der alte Zustand der Register wieder hergestellt werden. Eine physikalische Funktion für die CPU oder den PIC hat der Befehl nicht, d.h., er kann auch weggelassen werden, wenn die Programmabarbeitung nicht an der unterbrochenen Stelle fortgesetzt werden soll. Interruptanforderungen können über die entsprechenden Leitungen von System- bzw. Residentbus oder

durch lokale Quellen auf der ZVE und über den Steckverbinder X3 ausgelöst werden. Bindeglied zwischen den 27 vorgesehenen Interruptquellen und den 8 Interrupt-Request-Eingängen des PIC ist die INTERRUPT MATRIX. Der Anwender wählt entsprechend seiner Systemkonfiguration bis zu 8 Interruptquellen aus und vebindet sie durch Wickelbrücken mit den Eingängen des PIC. Zur Erhöhung der Anzahl steht innerhalb der Matrix noch ein 3-fach ODER zur Verfügung. Den Request-Eingängen ist standardmäßig eine Priorität zugeordnet (abfallend von 0 bis 7), die aber durch entsprechende Programmierung des Controllers dynamisch verändert werden kann. Dem Anwender steht dabei eine Vielzahl von Modes zur Verfügung, wodurch alle Systemerfordernisse berücksichtigt werden können.

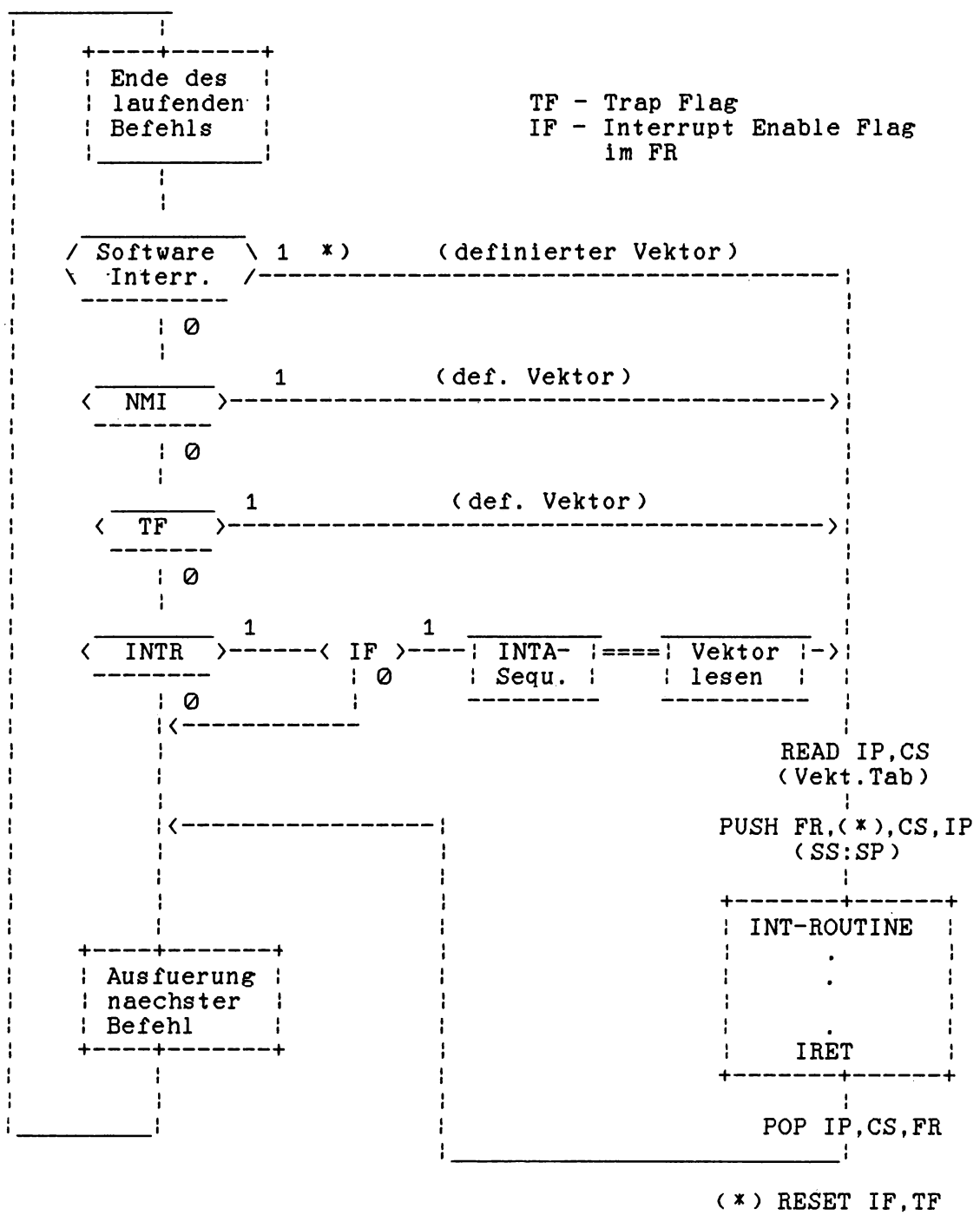


Bild 2.4: Interruptbehandlung durch den 8086

*) Division durch 0, INT, INTO, INTnn
- Die Reihenfolge der Abarbeitung beim gleichzeitigen Auftreten mehrerer Interrupts hängt von der jeweiligen Kombination ab !

2.11 NMI - mehr als nur eine Leitung

Neben dem sperrbaren, vektorisierten Interrupt Eingang (INTR) hat der 8086 auch einen CPU-intern nicht zu beeinflussenden Unterbrechungsanschluß (NMI), über den in der Regel bestimmte Ausnahmesituationen behandelt werden. Wie im Fall der RESET-Erzeugung besitzt die ZVE auch hier erweiterte Möglichkeiten. NMI kann durch drei verschiedene Quellen erzeugt werden:

1. /NMI ('not bussed'-Leitung/Systembus)
2. /NMI-R ('not bussed'-Leitung/Residentbus)
3. BUSNMI (beliebiges Signal aus der Int. Matrix)

/NMI und /NMI-R wirken direkt auf die CPU. Diese Signale können z.B. von einer externen Logik (IBH16) erzeugt werden, wobei die CPU dann nicht den WAIT-Zustand einnimmt, sondern die NMI-Routine des Anwenders ausführt. /NMI ist dabei noch mit /AEN maskiert, was bedeutet daß das Signal nur auf der ZVE wirksam wird, die den Systembus steuert (genau so wie bei /STOP). Da das von der IBH-16 erzeugte NMI-Signal längere Zeit anliegt, kann es bei einem unmittelbar folgenden Masterwechsel dazu kommen, daß NMI sowohl auf dem abgebenden als auch auf dem übernehmenden Master aktiv ist. Wird (über Wickelbrücke) ein Signal der Interrupt-Matrix ausgewählt (NMIRQ), erfolgt eine Maskierung durch Leitung ENMI des CP. Auf diese Weise können z.B. erst bestimmte Initialisierungsroutinen gestartet werden, bevor NMI zugelassen wird. Soll NMI durch Tasten erzeugt werden, müssen diese entprellt sein. Die Behandlung aller für die CPU existierender Interruptquellen zeigt Bild 2.4.

2.12 Prallele Ausgabe - nur zur Steuerung

Die ZVE besitzt keine parallele Schnittstelle zum Anschluß externer Interface-Einheiten, aber ein paralleles CONTROL PORT (CP), welches die volle Ausschöpfung der Systemmöglichkeiten unterstützt. Das Port hat 8 Ausgänge, die durch Ausgabebefehle an- und abgeschaltet werden können (Tab. 2.1). Eine Leitung (USER) steuert eine in der Frontblende befindliche LED-Anzeige (H1). Das bietet dem Nutzer z.B. einfache Simulations- und Kontrollmöglichkeiten bei der Programminbetriebnahme. Die Leitungen MULTIP0, MULTIP1 vom CP sind auf verschiedene Wickelfelder der ZVE geführt und können deshalb ganz unterschiedlich genutzt werden. Eine Möglichkeit wäre z.B. die Speicherbereichserweiterung am Systembus durch Aktivierung der Adreßbits 20 und 21. Bei entsprechender Programmierung des Memory Mapping Decoders beträgt der maximal adressierbare Bereich dann annähernd 4 MByte. Die Leitung OVRD ist auf den LOCK-Eingang des Bus Arbiters geführt. Ist dieses Bit gesetzt und die ZVE erhält den Systembus, reagiert sie nicht mehr auf Busanforderungen höher- oder niederpriorisierter Master, auch wenn sie selbst keine SB-Zugriffe ausführt. OVRD aktiviert (ebenso wie das Signal /LOCK der CPU) <u>gleichzeitig</u> die Leitungen /LOCK und /LOCK-R der externen Interfaces. Angeschlossene Zweitorspeicher, wie z.B.

E/R-16 (360438:152.25) können diese Leitungen in ihre Prioritätslogik einbeziehen und das vom Anwender gewünschte Zugriffsregime realisieren. Zu beachten ist, daß eine Aktivierung von OVRD >= 8 ms bei einem anderen Master u.U. zu einem TIME-OUT-Interrupt führen kann (laut Busrichtlinie darf /LOCK nicht länger als 12 Mikrosekunden auf dem SB aktiv sein !). Die Ausgänge MINTØ, MINT1 gehen auf die Interrupt Matrix. Sie können mit beliebigen Interruptleitungen der Busse verbunden werden, wodurch die ZVE in der Lage ist, selbst zwei Interrupts auszulösen. Mit der Funktion 'Enable Bus-NMI' ist es möglich, Busleitungen (auch über freies ODER) als NMI-Leitungen zu deklarieren und im Multimaster System zu entscheiden, wann für welchen Master Bus-NMI zugelassen ist. Das universelle Pegel-FF der ZVE kann ein beliebiges impulsförmiges Signal speichern und z.B. in einen Pegel-Interrupt wandeln. Mit Bit 5 wird dieses Flip-Flop rückgesetzt oder freigegeben.

Ausgabedaten SET	RESET	Portleitung (Kanal)	Kommando
X1	XØ	Ø	MINTØ ausloesen
X3	X2	1	MINT1 ausloesen
X5	X4	2	Bus Override (LOCK)
X7	X6	3	Enable Bus-NMI 1)
X9	X8	4	LED "USER"
XB	XA	5	Enable Pegel-Interrupt
XD	XC	6	MULTIPØ setzen
XF	XE	7	MULTIP1 setzen

X - Die Bits 4 ... 7 sind beliebig
1) für beliebiges Signal aus der Interrupt Matrix

Tab. 2.1: Funktionen des CP

2.13 Speicherblockerweiterung am Systembus

Die ZVE16-M1 bietet die Möglichkeit, softwaremäßig über das CP (MULTIPØ/1) die Adreßbits AØ und A21 (SBus: /ADR14, /ADR15) zu aktivieren. Damit erweitert sich der verfügbare Adreßraum formal auf 4 Mbyte, bzw. um die Blöcke 1 bis 3. Der physikalisch tatsächlich zur Verfügung stehende Adreßraum verringert sich jedoch um den durch den Memory Mapping Decoder bestimmten lokalen Speicherbereich, der in allen 4 Blöcken wirksam ist. Dieser Effekt ist dadurch bedingt, daß AØ und A21 nicht auf den Mapping Decoder geführt sind. Aus dem gleichen Grund bleibt auch die einmal im Block Ø festgelegte Verteilung der Speicherbereiche (SB/RB/LB) in den Blöcken 1 - 3 erhalten. In der maximalen Variante (D24, D27=2716; D25, D26=FREI) lassen sich durch die ZVE demzufolge 4 Mbyte - 12 Kbyte = 3,988 Mbyte adressieren. Bei der Standard-Bestückung mit 16 Kbyte lokalem EPROM (U 2764) und 16 Kbyte lokalem RAM (U 6264) beträgt der zur Verfügung stehende Adreßraum 3,888 Mbyte.

```
     ADR.
21 20  ----0
 1  1  FFFFFH +--------------------+
              !                    ! 4 Mbyte
              !                    !
              !                    !    BLOCK 3
              !                    !
              !                    !
              !--------------------!
 1  1  00000  !      LOKAL         !
------------- +--------------------+ ---------------
 1  0  FFFFF  !                    ! 3 Mbyte
              !                    !
              !                    !    BLOCK 2
              !                    !
              !                    !
              !--------------------!
 1  0  00000  !      LOKAL         !
------------- +--------------------+ ---------------
 0  1  FFFFF  !                    ! 2 Mbyte
              !                    !
              !                    !    BLOCK 1
              !                    !
              !                    !
              !--------------------!
 0  1  00000  !      LOKAL         !
------------- +--------------------+ ---------------
 0  0  FFFFF  !                    ! 1 Mbyte
              !                    !
              !                    !    BLOCK 0
              !                    !
              !                    !
              !--------------------!
              !      LOKAL         !
 0  0  00000H +--------------------+
```

Bild 2.5: Speicherblöcke und Adressen

3. SCHALTUNGSBESCHREIBUNG

3.1 ON BOARD - Steuerung & lokale Buszyklen

Die lokalen Kommandos werden durch Bus Controller D32 erzeugt. Seine Freigabeeingänge (CEN,/AEN) sind immer aktiv, so daß der Controller in jedem Zyklus (SB, RB oder LB) das durch /S0.../S2 bestimmte Kommando sendet. Die Zuordnung des Zugriffs zu den einzelnen Interfaces erfolgt durch die Mapping Decoder (D19,D20). Ob es sich um einen Speicher- oder E/A-Zugriff handelt, wird durch S2L bestimmt (S2L=`0` --> E/A, S2L=`1` --> Speicher). D32 erzeugt auch die Signale (LDIR,LDEN) zur Steuerung der lokalen Datenpuffer (D8, D9). Die Puffer werden bei einem ONBD-Zugriff für die Zeit LDEN freigegeben. Gleichzeitig werden die Datenpuffer der externen Interfaces durch ONBD gesperrt. Das Signal ONBD ist aktiv bei:

- einem lokalen Speicherzugriff (/LMEM)
- einem lokalen E/A-Zugriff (/LIO)
- dem 2. INTA-Zyklus eines NBVM-Interrupts (/LINTAK)

Der mit dem negierten Takt /CLK synchronisierte Wait State Generator (D38) regelt entsprechend der Einstellung von XB15 die Länge der aktiven Phase der lokalen Buszyklen, indem er die CPU zur Einfügung von 0...3 Wait States zwingt. Bild 4.2 zeigt das zugehörige Taktdiagramm. Voraussetzung ist ein aktives Signal ACMD am Eingang DI1 von D38. Da ACMD durch Latchen von /S0 + /S1 mit ALE gewonnen wird, ist dieses Signal immer aktiv, außer wenn sich die CPU in einem HALT-Zyklus befindet. Im HALT-Zustand erwartet die CPU kein READY; sie verläßt ihn nur durch INTR, NMI oder RESET. Die lokalen Quittungssignale werden mit /XACK-R und dem TIME OUT-Signal (/TMOI) durch D55/6 verknüpft und gelangen auf den Eingang RDY2 von D61. Sie sind nur wirksam, wenn /STOP-R inaktiv ist. /XACK-R ist zusätzlich noch mit /RBEN maskiert, so daß das Quittungssignal nicht wirksam wird, wenn die ZVE vom RB abgeklemmt ist. Die READY-Synchronisation von CPU und Taktgenerator 8284(A) ist aufeinander abgestimmt. Während die CPU ihren READY-Eingang in der Mitte von T3 bzw. den evtl. folgenden Wait States abtastet, tut dies der Taktgenerator am Ende jeden Taktes. Dadurch ist die erforderliche Setup Time von READY für die CPU garantiert (Bild 4.1). Die beschriebene Art der RDY-Erkennung durch den 8284 entspricht der Betriebsart SYNC (Pin 15=`1`) beim 8284A. In der Betriebsart /ASYNC (Pin 15=`0`), die nur der 8284A hat, erfolgt die RDY-Erkennung bereits in der Mitte des Taktes d.h., einen halben Takt früher. Dadurch verlängert sich z.B. die Zeit zwischen /XACK und dem Einlesen der Daten durch die CPU. Da das Pin 15 beim 8284 nicht digital beschaltet werden darf, ist der Anschluß `offen` und es ändert sich an der Synchronisation bei einer Bestückung mit 8284A nichts.
Außer für die Speicherzugriffe können auch für die lokalen E/A-Zugriffe 0...3 Wait States eingestellt werden. Dies ist Voraussetzung, um auch schnellere CPUs auf der ZVE einsetzen zu können. Die folgenden Tabellen enthalten die maximalen Zugriffszeiten, in Abhängigkeit von der CLK-Frequenz.

- Max. Zugriffszeit (TACC) für Speicher (D24/D27)

CLK (MHz)	Anzahl Wait States (ns) 0	1	2	3
5	350	550	750	950
8	185	310	435	560
10	135	235	335	435

Tab. 3.1

für die Fassungen D25/26 verringern sich die Zeiten um jeweils 20 ns

- Max. Zugriffszeit (TACEA) für die lokalen E/A-Bausteine

CLK (MHz)	Anzahl Wait States (ns) 0	1	2	3
5	300	500	700	900
8	160	285	410	535
10	115	215	315	415

Tab. 3.2

Eine Ausnahme bei den lokalen E/A-Bausteinen stellen SIG (D39) und CP (D37) dar. Beide können nur durch E/A-Schreibzyklen angesprochen werden, wobei das normale /IOWC vom LBC (D32) benutzt wird und nicht das voreilende /AIOWC, wie bei den anderen Bausteinen. Ein Lesezugriff auf CP oder SIG wird quittiert, hat aber keine Wirkung. Beim SIG erfolgt die Triggerung mit der Vorderflanke von /IOWC, die Daten sind beliebig. Beim CP wird D0 auf den durch D1...D3 gewählten Ausgang durchgeschaltet, sobald Eingang /E= /PWT * /PORTS aktiv ist und mit der Rückflanke von /PWT gelatcht. Durch die Verwendung von /AIOWC wird bei PIC und PCI auch bei 0 * Tw (5MHz) die minimale Länge des Schreibimpulses garantiert. Der PIT stellt bei Bestückung mit dem Typ 8253 einen Grenzfall dar. Die geforderte Länge von min. 400 ns kann bei ungünstigen Toleranzen des LBC um max. 25 ns unterschritten werden. Bei allen drei Bausteinen werden die Daten mit der Rückflanke des Schreibimpulses eingetragen. Da dies auch bei den üblichen Speicherbausteinen der Fall ist, wird normalerweise das voreilende Schreibsignal (/AMWTC) als lokales Schreibsignal /LMWT verwendet (XB6/2-3). Bei der Einstellung 0 * Tw ergeben sich folgende minimale Schreibimpulslängen Twr (/AMWC, /AIOWC):

CLK/MHz	5	8	10
TWR/ns	375	225	175

Tab. 3.3

Damit zu den Fassungen D25/D26 Word- und Byte-(Schreib-)Zugriffe möglich sind, werden zur /CS-Bildung /BHEL und A0 herangezogen. Dabei ergibt sich folgende Zuordnung:

/BHE	A0	/CSE	/CSO	Zugriff
0	0	0	0	Word
0	1	1	0	H-Byte (D25)
1	0	0	1	L-Byte (D26)
1	1	1	1	- kein -

Bei Zugriffen zu den Fassungen D24/27 werden immer beide Speicher aktiviert.
Alle E/A-Bausteine sind mit den Datenleitungen D0...D7 verbunden und dürfen deshalb nur über gerade Adressen (A0 = 0) angesprochen werden. Zugriffe auf ungerade Adressen (z.B. 00D9 statt 00D8) werden quittiert, die Bausteine werden auch angesprochen, aber die CPU sendet bzw. empfängt dann auf den Leitungen AD8...AD15, so daß die Ressourcen datenmäßig nicht erreicht werden. Die lokalen Buszyklen sind auf den Bildern 4.3 - 4.7 dargestellt. TIME OUT wird erzeugt, wenn auf Grund eines fehlenden Quittungssignals Monoflop D39/13 nicht mehr innerhalb seiner Zeitkonstante durch ALE nachgetriggert wird. Ist Brücke XB15/A5-B5 geschlossen, führt /TMOI zur RDY2-Bildung. Gleichzeitig kann ein Interrupt ausgelöst werden, wobei der PIC im `Edge Triggered Mode` programmiert werden muß. Am gewählten PIC-Eingang ergibt sich der in Bild 3.1 gezeigte /TMOI-Zeitverlauf.

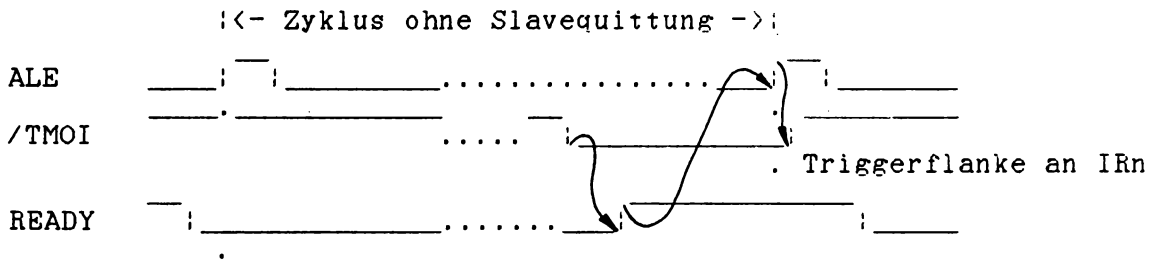


Bild 3.1: Time Out - Zeitverlauf

Da TIME OUT zur RDY2-Bildung führt, ist das Signal /STOP in diesem Fall unwirksam. Daraus folgt, daß es normalerweise nicht möglich ist, mit eingelegter TO-Brücke am SB im Schrittbetrieb zu arbeiten. Die Anerkennung eines vektorisierten Interrupts (INTR) durch den 8086 geschieht in zwei aufeinanderfolgenden (back-to-back) Buszyklen, in denen jeweils ein /INTA-Kommando gesendet wird. Der 1. Zyklus dient zum Einfrieren des Interruptzustandes des PIC; im 2. Zyklus wird der Vektor gelesen. Durch Aktivierung des /LOCK-Signals sorgt die CPU dafür, daß auch im BVM am Systembus beide Zyklen unmittelbar hintereinander folgen.

Die aktive Flanke eines jeden 1. /INTA-Kommandos triggert D47/5 und erzeugt für diesen Zyklus das Quittungssignal /INTAK1, gleichgültig ob ein BVM- oder NBVM-Zyklus vorliegt. Das zweite /INTA-Kommando setzt D47 wieder zurück. Im NBVM wird im zweiten Zyklus der Ausgang /EB vom PIC aktiv, wenn der Interrupt Vektor bereitsteht und führt zur Bildung von /LINTAK als Quittung des 2.INTA-Zyklus. /LOCK sorgt in Verbindung mit MCE dafür, daß /CASEN immer nur im zweiten Zyklus wirksam wird. /CASEN aktiviert Puffer D41, so daß die CAS-Adresse mit ALE gelatcht wird und auf die externen Interfaces gelangt (BVM). Brückenfeld XB12 (/SBINTA) sichert, daß im Fall BVM am SB garantiert auch das erste /INTA-Kommando auf den SB und damit an die angeschlossenen Slave-PICs gelangt (siehe 360438:162.25(TB4)(4), Tabelle 6.1).

3.2 Die externen Interfaces

Entscheidend für das Zeitverhalten der Buszyklen über das SB-Interface ist das Signal SYSBUS, welches auf den Eingang /CEN vom Systembus Controller (SBC) D34 geht und dem Controller das Aussenden von Kommandos ermöglicht. Selbst wenn die CPU die Adresse mit maximaler Verzögerung (110 ns nach Zyklusbeginn) sendet, ist garantiert, daß SYSBUS mindestens 5 ns vor T2 aktiv ist. Damit ist gewährleistet, daß die Zeitdiagramme für den 8288 in den einschlägigen Katalogen für D34 (und auch für D7) volle Gültigkeit haben. SYSBUS geht auch auf Eingang S/R von Bus Arbiter D33, der daraufhin eine Busanforderung stellt (/CBRQ, /BRQ = `0`, /BPRO = 1). Die Kommandoleitungen von D34 bleiben solange Tri-State, bis der Arbiter die Busübernahme signalisiert hat (/AEN = `0`). /AEN gibt direkt die Treiber D15...D17 frei, so daß die Adresse auf den SB gelangt.
Nach einer bestimmten Verzögerungszeit (min. 115 ns) wird das durch /S0.../S2 bestimmte Kommando von D34 gesendet. Die minimale Verzögerung zwischen /ADRn gültig und einem folgenden Kommandosignal beträgt 65 ns (tASR). Behält der Master den Bus, entfällt die Verzögerung durch /AEN; sie tritt nur bei erstmaliger Busübernahme und bei Masterwechsel auf.
Der Arbiter stellt eine Busanforderung, wenn die logische Gleichung (3) erfüllt ist:

Systembusanforderung = SYSBUS * Status aktiv (3)

Status aktiv bedeutet alle /S0.../S2 - Kodierungen außer HALT und PASSIVE (Idle). Ist Brücke XB7/5-6 geschlossen (ANYRQST = `0`) erfolgt die Busabgabe nach Gleichung (4).

Systembusabgabe = (/SYSBUS + Ti) * (CBRQ + HLT + HPBRQ) (4)

HLT = HALT-Zyklus
HPBRQ = höher priorisierte Busanforderung (/BPRN=`1`)

Bei ANYRQST = `1` und /CBRQ = `0` erfolgt die Busabgabe nach Beendigung des gerade laufenden Zyklus, unabhängig von SYSBUS. Wird /CBRQ mit GND verbunden (XB7/2-3), gibt der Arbiter nach jedem Zyklus den Bus ab.

Wird über das CP der Eingang /LOCK des Arbiters aktiviert, reagiert die ZVE nach einem SB-Zugriff nicht mehr auf Anforderungen anderer Arbiter, selbst wenn sie nicht weiter am SB arbeitet.
Für normale Zyklen (/AEN bzw. /RBEN = `0`) gelten für SB- und RB-Interface folgende Werte:

/ADRn gültig auf Bus	max. 150 ns	1)
/CMD gültig auf Bus	max. 235 ns	1)

1) bezogen auf Buszyklusanfang, CLK=5MHz

- Die Verzögerung zwischen der CPU und einem externen Datenbus beträgt in beiden Richtungen max. 25 ns.

- Die Verzögerung zwischen /XACK(-R) und dem RDY-Eingang vom Taktgenerator beträgt

SB: max. 30 ns
RB: max. 27 ns

Bei Schreibzyklen über die externen Interfaces ergibt sich automatisch 1 Wait State, da die Kommandosignale (/MWTC, IOWC) erst nach T2 aktiv werden. Am Residentbus besteht die Möglichkeit, mit voreilendem /XACK-R zu arbeiten (SLAVE-MODE 1, siehe RB-Richtlinie), wobei die maximal zulässige Voreinstellzeit tXDR eingehalten werden muß (Bild 4.8).
Die Steuerung der Datentreiber (/OE) für RB und SB übernimmt D36. Die Zeitdauer der aktiven Phase entspricht dem Signal DEN des jeweiligen Bus Controllers plus max. 18 ns Verzögerung durch D36. Erfolgt der Zugriff der CPU auf eine ungerade Adresse (A0 = `1`), werden die Treiber für /DAT0(-R) ... /DATF(-R) gesperrt und der jeweilige SWAP-Buffer (D13 bzw. D2) aktiviert. Alle ungeraden Byte-Zugriffe über die externen Busse werden durch die SWAP-Logik über die untere Hälfte des Datenbusses ausgeführt (siehe Busrichtlinie!). Tab. 3.4 zeigt die Wahrheitstabelle für D31. Das Signal /AINTA sorgt dafür, das in einem BVM-INTA-Zyklus die Swap-Buffer gesperrt sind, da A0 in diesem Fall unbestimmt ist und der Vektor immer auf /DAT0(-R) ... /DAT7(-R) übertragen wird.

ONBD	/AINTA	A0	RDEN	SDEN	aktiv
1	x	x	x	x	-
0	x	0	1	0	/DBR
0	1	1	1	0	/SWAPR
0	0	x	1	0	/DBR
0	x	0	0	1	/DBS
0	1	1	0	1	/SWAPS
0	0	x	0	1	/DBS

Tab. 3.4: Wahrheitstabelle D31

Es gibt drei Typen von Datenübertragungen über die externen Interfaces:

Bussignale /BHEN	/ADRØ(-R)	Übertragung
1	1	low Byte (/DATØ(-R)...7(-R))
1	Ø	high Byte (/DATØ(-R)...7(-R)) - SWAP -
Ø	1	Word (/DATØ(-R)...F(-R))

Die logische Verknüpfung (D51/1) WORD = /BHEL * /AØ garantiert, daß das Bussignal /BHEN nur bei Word-Übertragung aktiv ist.
Der Residentbus Controller D7 ist immer aktiv, wenn kein Systembuszyklus läuft, d.h. auch bei lokalen Zyklen (Voraussetzung /RBEN = Ø). Allerdings werden nur bei einem durch die Mapping Decoder erkannten 'echten' RB-Zugriff auch die Datentreiber aktiviert. Das bedeutet, daß lokale Adressen gleichzeitig auch am RB existieren können, ohne die lokalen Zugriffe zu beeinflussen (tatsächlich gelesen wird die lokale Ressource, bei Schreibzugriffen wird am RB ØØ(ØØ)H geschrieben). Dieser Effekt läßt sich z.B. bei großen Speichern am Residentbus ausnutzen, die lokale Bereiche überdecken 1). Die Präsenz der lokalen Adreß- und Kommandosignale am RB ermöglicht die schrittweise Befehlsabarbeitung auch von lokalen Zyklen. Voraussetzung ist, daß die IBH16 das /STOP(-R)-Signal entsprechend schnell (Ø Wait States!) bildet. Da die lokalen Daten in keinem Fall auf die äußeren Interfaces gelangen, lassen sie sich (an der CPU) nur durch die LBA86 sichtbar machen.

1) Ausnahme: 256K DRAM-R: DRAMs am Residentbus sollten keine lokalen Speicherbereiche überlappen, da es auf Grund der unterschiedlichen Zykluszeiten zum Datenverlust im gesamten DRAM kommen kann.

3.3 Dynamische Kennwerte

(alle Zeitangaben in ns)

Name	Symbol	5 MHz 8086 min	5 MHz 8086 max	10 MHz 1) 8086-1 min	10 MHz 1) 8086-1 max	8 MHz 2) 8086-2 min	8 MHz 2) 8086-2 max
CLK-Periode	TCLCL	200	500	100	500	125	500
CLK-low-Zeit	TCLCH	118		53		68	
CLK-high-Zeit	TCHCL	69		39		44	
RDY setup (8284)	TR1VCL	35		35		35	
RDY hold (8284)	TCLR1X	0		0		0	
READY setup (CPU)	TRYHCH	118		53		68	
READY hold (CPU)	TCHRYX	30		20		20	
8288-ALE Delay	TCLLH 3)		15		15		15
8288-ALE inaktiv	TCHLL	4	15	4	15	4	15
Status aktiv Del.	TCHSV	10	110	10	45	10	60
Status inaktiv	TCLSH	10	130	10	55	10	70
Status inaktiv setup	TSHCL	35		35		35	
Adresse gueltig	TCLAV	10	110	10	50	10	60
Adresse 3-State	TCLAZ	TCLAX.	80	10	40	TCLAX.	50
Adresse-hold-Zeit	TCLAX	10		10		10	
Daten gueltig	TCLDV	10	110	10	50	10	60
Daten-hold-Zeit	TCHDX	10		10		10	
Daten ein setup	TDVCL	30		5		20	
Daten ein hold	TCLDX	10		10		10	
8288-CMD aktiv	TCLML	10	35	10	35	10	35
8288-CMD inaktiv	TCLMH	10	35	10	35	10	35
8288-Control akt.	TCVNV	5	45	5	45	5	45
8288-Control inaktiv	TCVNX	10	45	10	45	10	45
8288-Dir. aktiv	TCHDTL		50		50		50
8288-Dir. inaktiv	TCHDTH		30		30		30
8288-MCE Delay	TCLMCH 3)		15		15		15
8288-MCE inaktiv	TCLMCL		15		15		15
CMD-Enable Zeit	TAELCV	115	200	115	200	115	200
/XACK(-R) Delay	tXACK	0		0		0	
Lesedaten-setup-Zeit zu /XACK	tDXL	0		0		0	
ADR setup-Zeit:							
zum Lesekommando	tASR	65		25 4)		40 4)	
zum Schreibkomm.	tASW	265		125		165	
ADR Haltezeit	tAH	TCLCL.		TCLCL.		TCLCL.	
CAS-ADR setup	tASC	63		28 5)		38 5)	
Map Decoder valid	TDEC		TCLCL -15		TCLCL +27		TCLCL +12

	BL.-NR.
36 04 38 : 162.25 (TB3) (4)	25

Name	Symbol	Alle CPU-TYPEN
Zugriffszeit (lokale Speicher)	TACC max	Tab. 3.1
Zugriffszeit (lokal E/A)	TACEA max	Tab. 3.2
Schreibimuls-laenge	TWR min	Tab. 3.3
Schreibdaten-setup-Zeit(lokal)	TWDS min	2 * TCLCL-TCLDVmax-25 (5MHz:265)
Schreibdaten-hold-Zeit (lokal)	TWDH min	TCLCH-TCLMHmax+TCHDXmin+5 (5MHz:98)
Zeit zw. /XACK-R und Daten valid	tXDR max	TCLCL-TDVCLmin+17 (5MHz:187)
Zeit zw. Lese-CMD und Daten valid fuer 0*Tw	TRDCDmax	2 * TCLCL-TDVCLmin-60 (5MHz:310)
Schreibdaten-setup-Zeit(RB/SB)	tDSmin	TCLCL-TCLDVmax-15 (5MHz:75)
Schreibdaten-hold-Zeit (RB/SB)	tWDHmin	TWDHmin (5MHz:150)

CMD - beliebiges Kommandosignal des 8288

3) bezogen auf fallende CLK-Flanke oder Status aktiv (was zuletzt auftritt)

4) Minimalwert der Busrichtlinie (50 ns) unterschritten !

5) wie 4); BVM und angegebene Werte nur garantiert, wenn CAS-Puffer (8216) mit Output Enable Time <= 30ns bzw. 20 ns (10MHz) eingesetzt wird !

Bei Einsatz einer schnelleren CPU folgende Komponenten austaushen :

	2)	1)	
CPU:	8086-2	8086-1	
NDP:	8087-2	8087-1	
Quarz:	24 MHz	30 MHz	(nur Grundwellen-Quarze !)
Taktgenerator:	-	8284A-1	
Arbiter:	-	8289-1	
PIC:	-	8259A-2	

4. Anhang: Impulsdiagramme

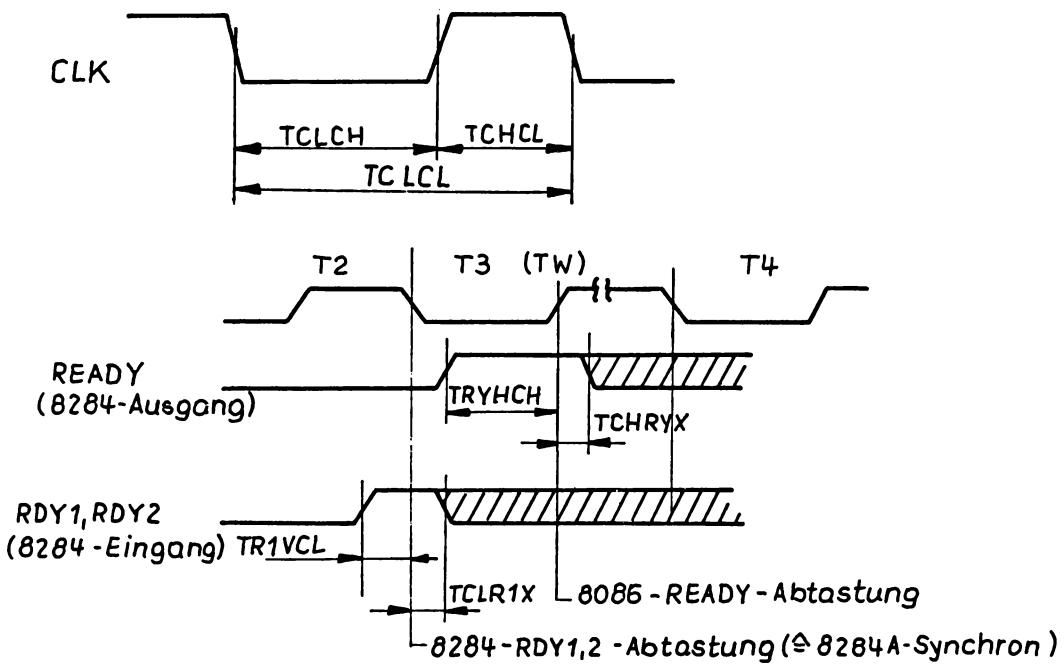


Bild 4.1: READY-Synchronisation 8284/8086

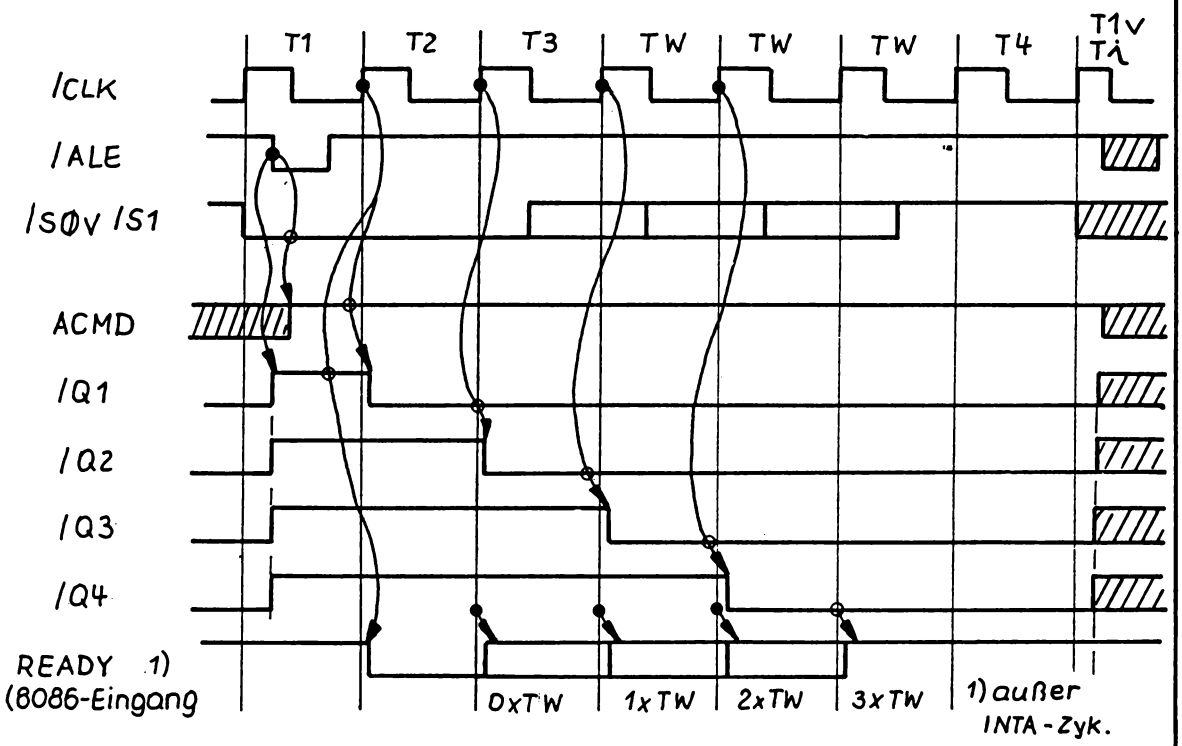
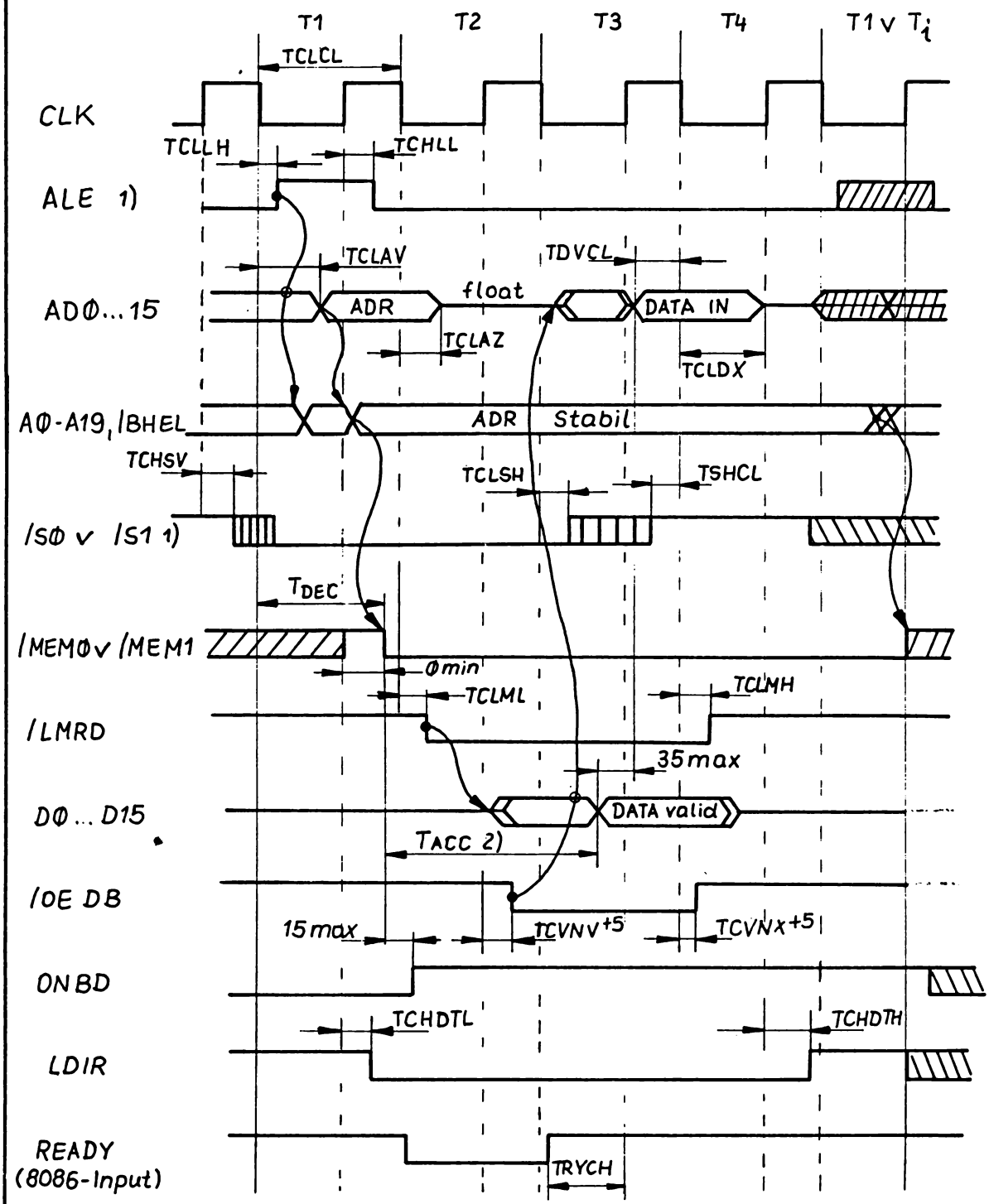


Bild 4.2: Lokale READY-Bildung über WAIT STATE-GENERATOR

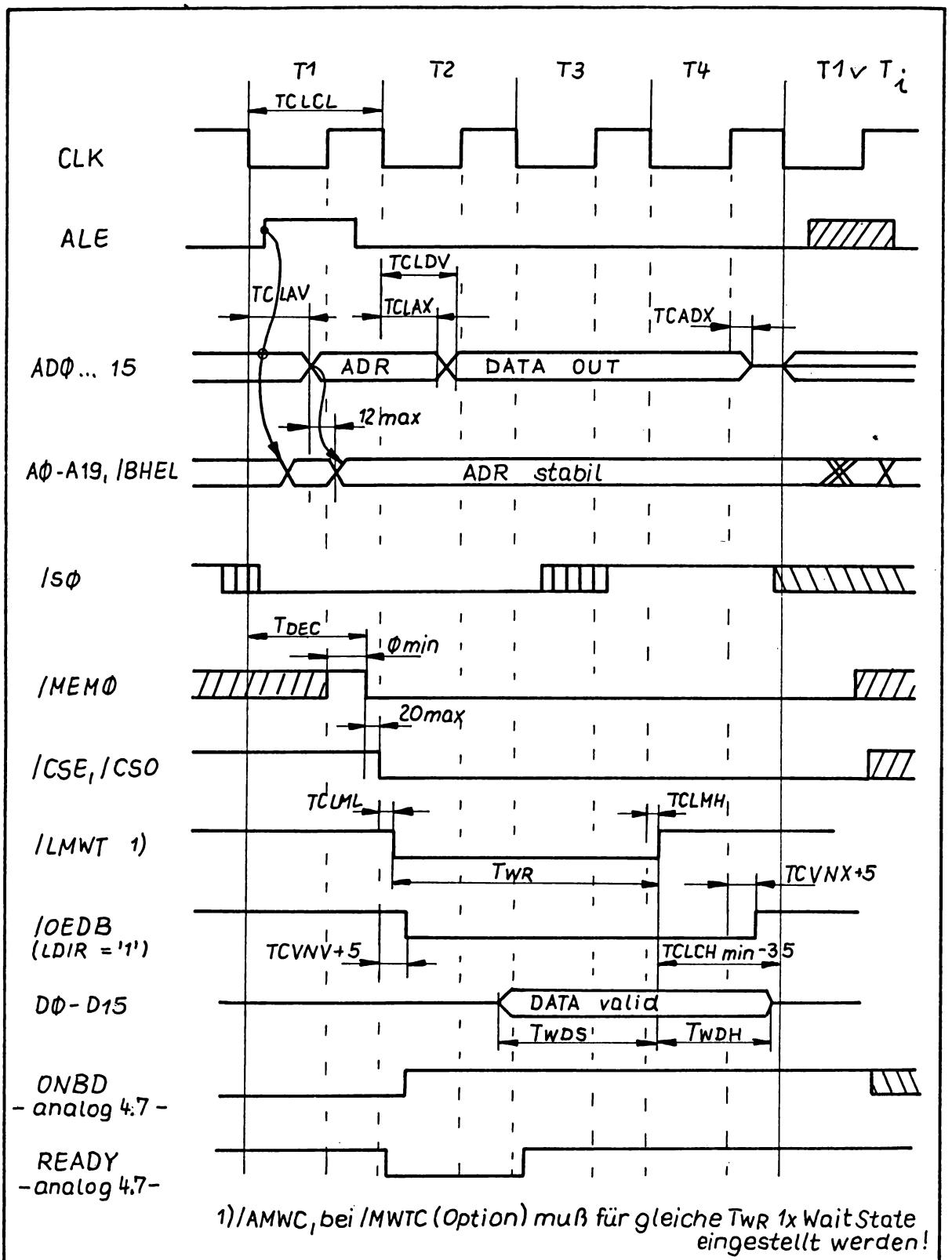


1) Die Zeiten für ALE und /S0.../S2 gelten für alle Buszyklen
2) Bei den RAM-Fassungen zählt T_{ACC} ab /CSE, /CS0

Bild 4.3: Lokaler Speicher-Lesezyklus

(Read Memory, Instr. Fetch)

36 04 38 : 162.25 (TB 3) (4)	Bl.-Nr. 28	



1) /AMWC, bei /MWTC (Option) muß für gleiche TWR 1x Wait State eingestellt werden!

Bild 4.4: Lokaler Speicher-Schreibzyklus (Write Memory)

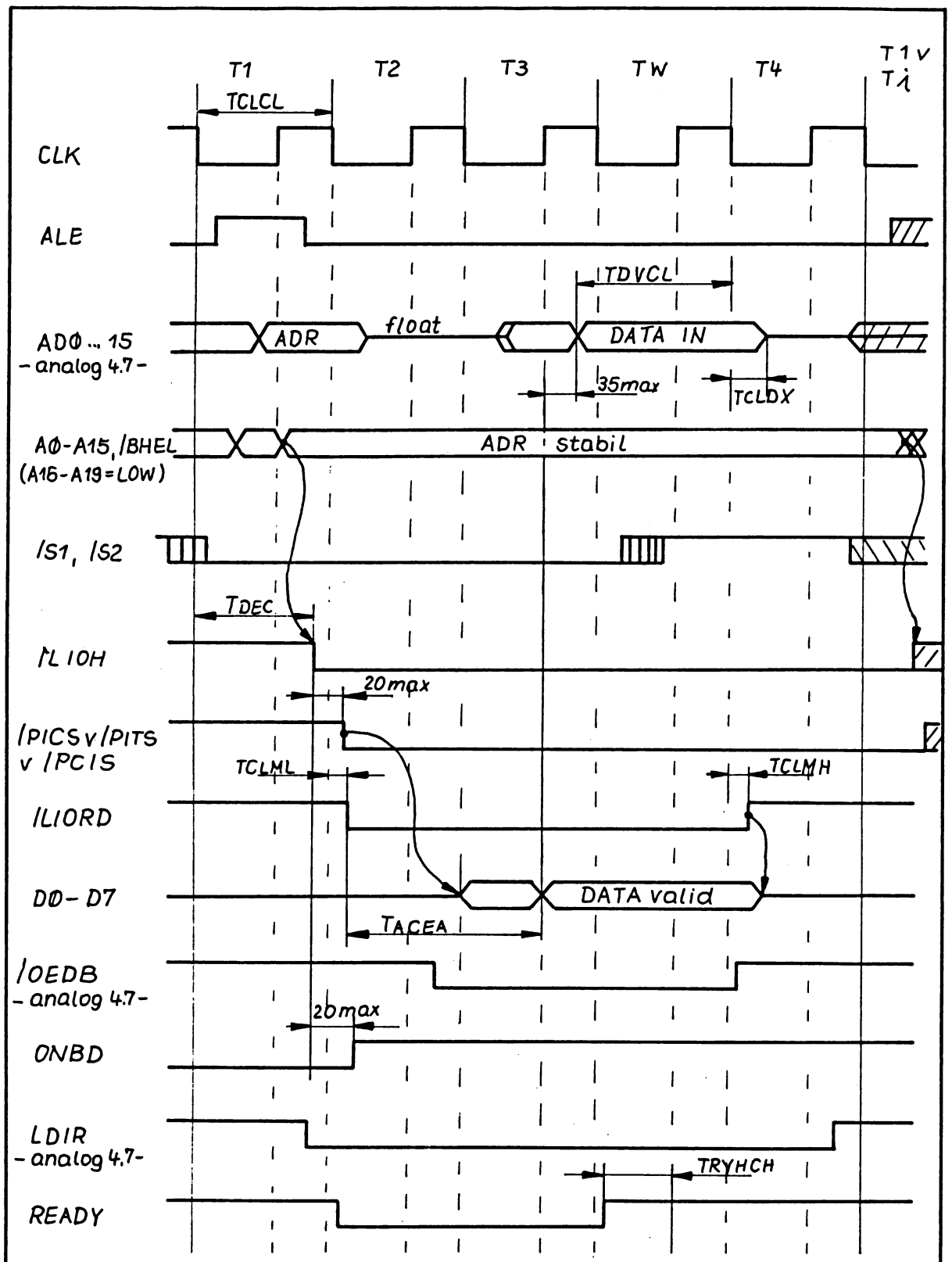


Bild 4.5: Lokaler E/A - Lesezyklus

(Read I/O) mit einem Wait - State

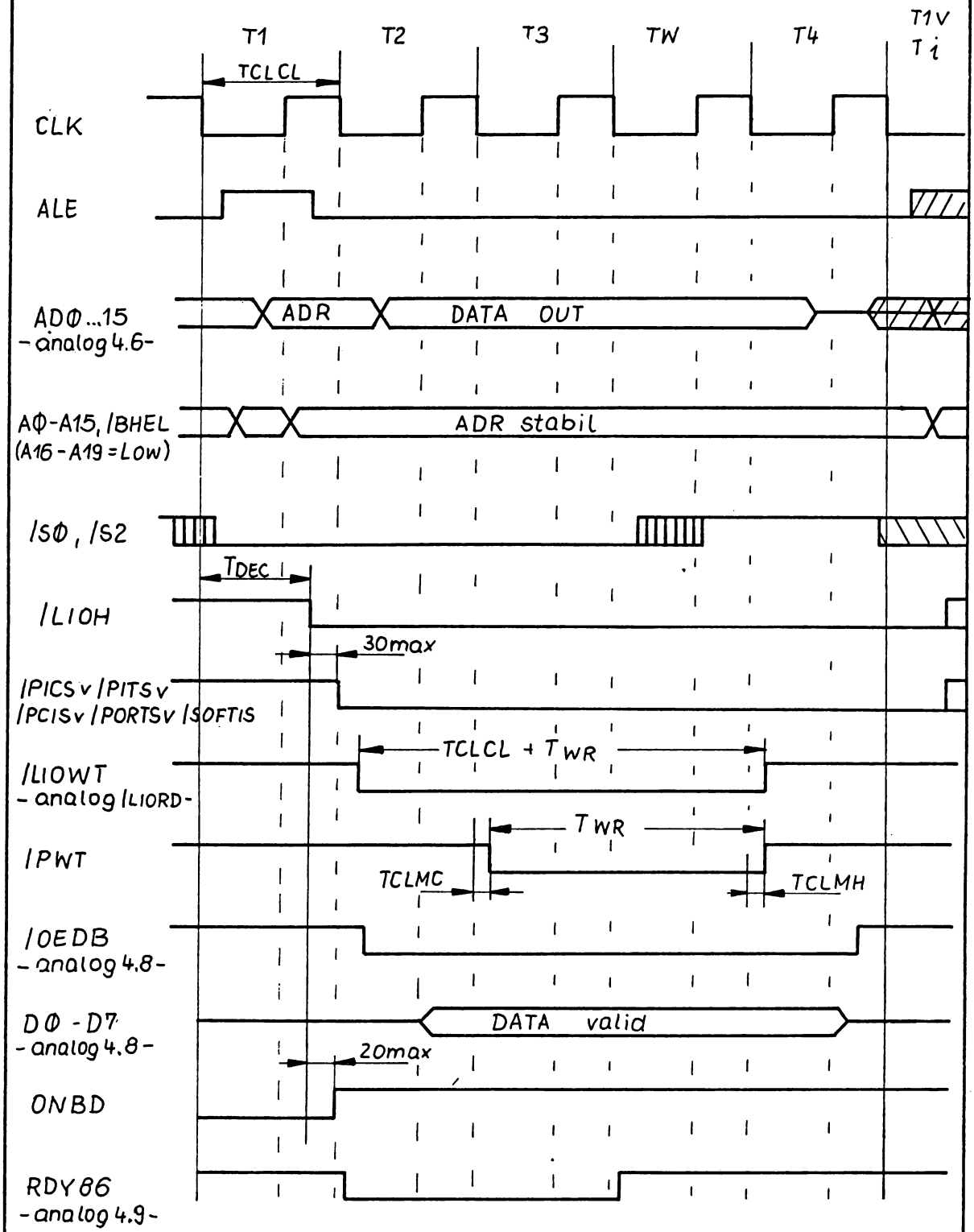


Bild 4. 6 : lokaler E/A - Schreibzyklus
(Write I/O) mit einem Wait State

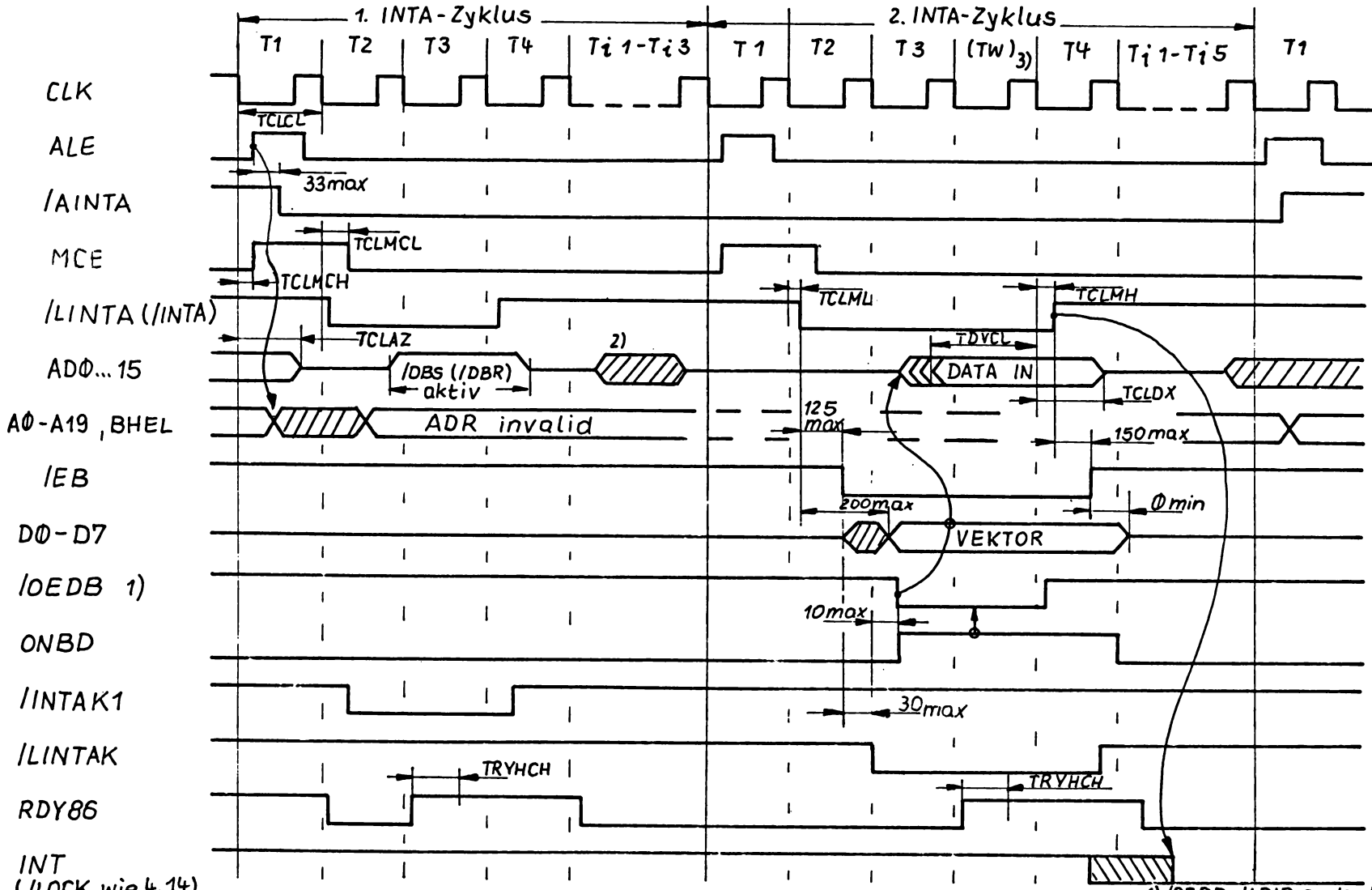
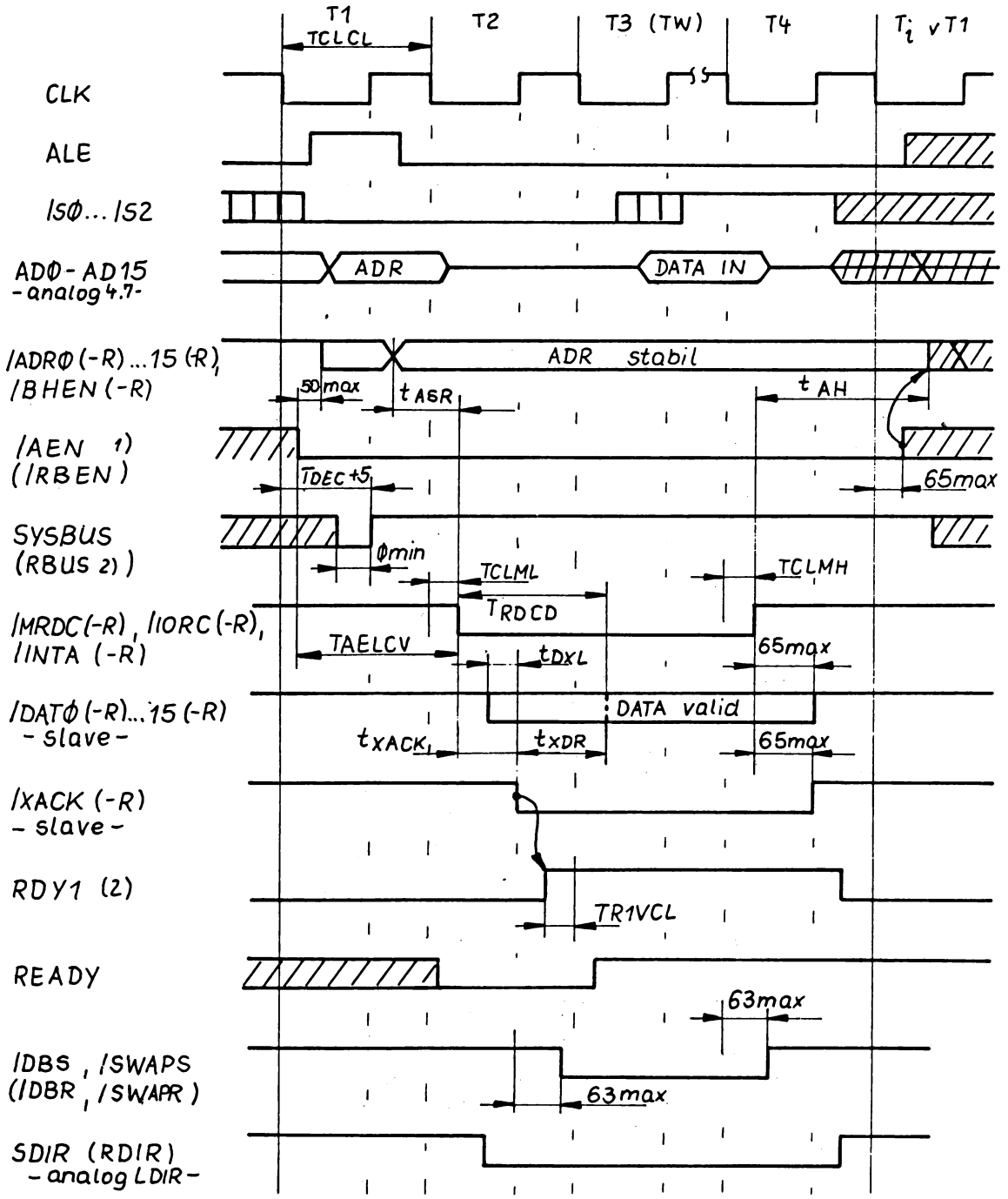


Bild 4.7: Interrupt Acknowledge-Zyklus (NBVM)

1) /OEDB, /LDIR analog 4.7
2) wenn Queue nicht voll ist
3) 1xTW (worst case)

36 04 38 : 162.25 (TB3) (4)

Bl.-Nr. 32



1) Die 1/0 - Flanke von /AEN ist /BCLK - bezogen
2) $T_{DEC\,max}$ für RBUS = SYSBUS inaktiv +5

Bild 4.8: SB (RB)-Lesezyklus (Fetch, Memory, I/O)

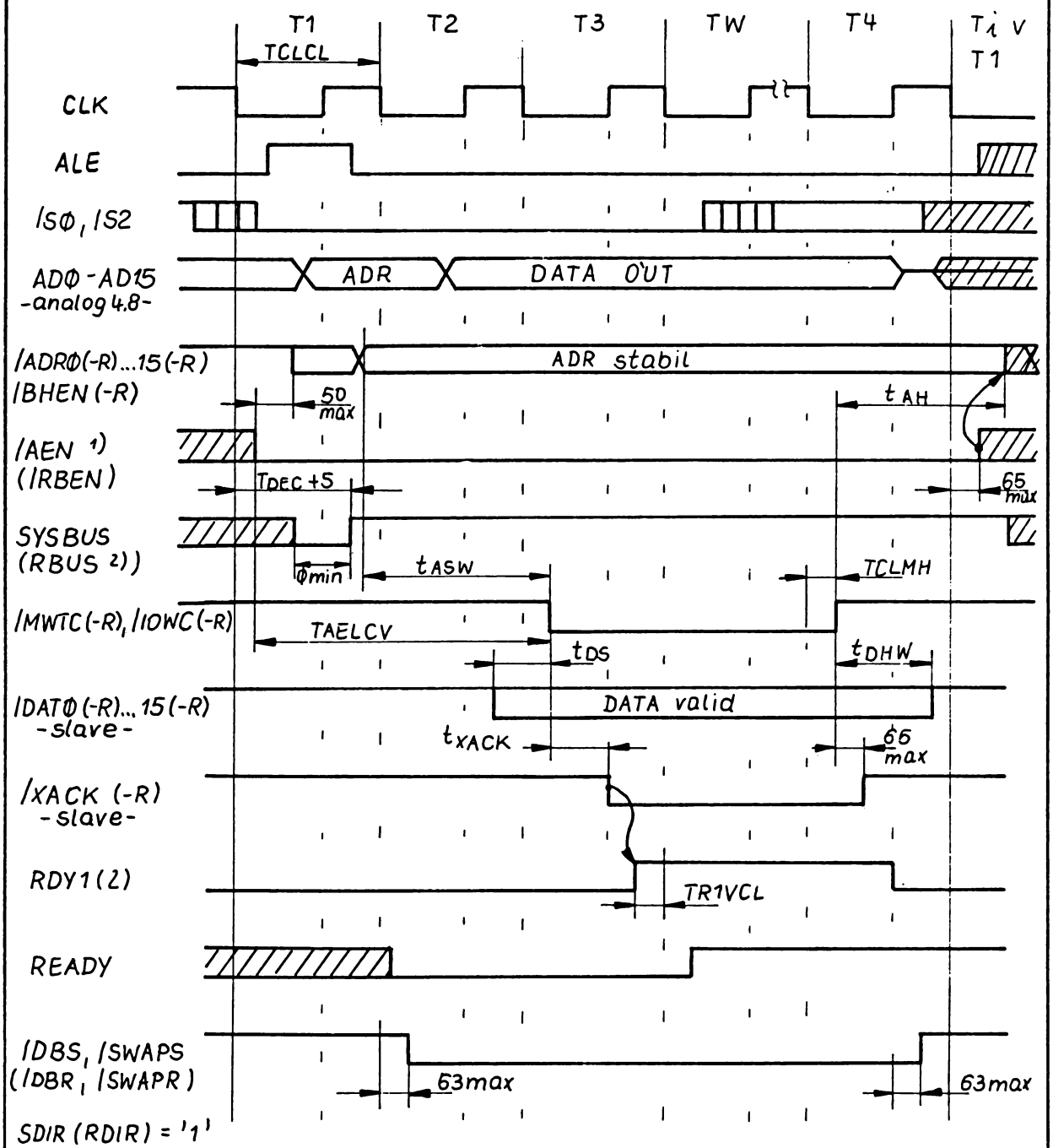


Bild 4.9 : SB(RB)-Schreibzyklus (Memory, I/O)

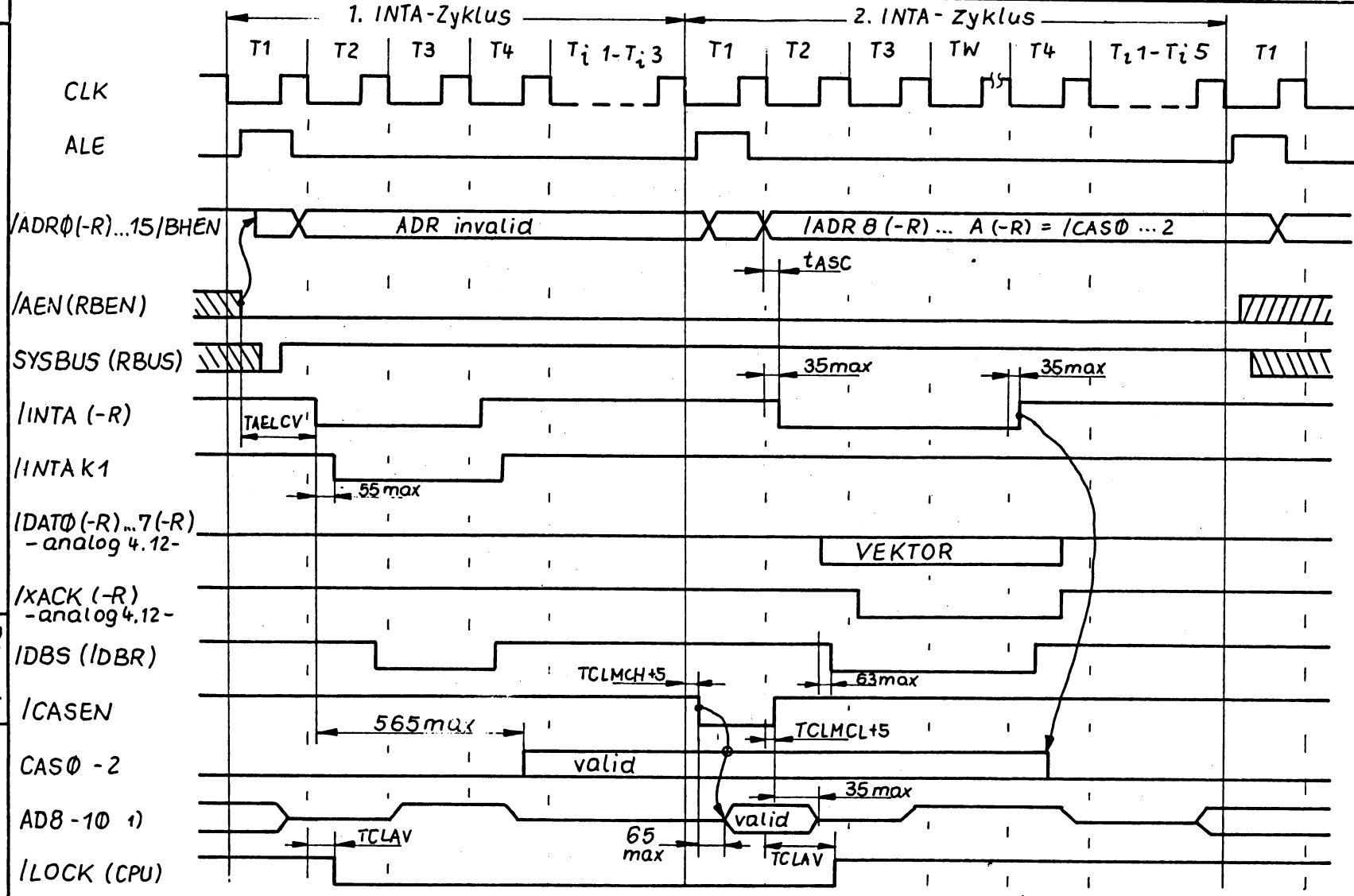


Bild 4 10: SB (RB)-Interrupt Acknowledge Zyklus (BVM)

1) ADØ-7, AD11-15, /AINTA, MCE, INT wie 4.11

36 04 38 : 162.25 (TB3) (4)

Bl.-Nr. 35

NUTZERANLEITUNG

INHALTSVERZEICHNIS

		Blatt
1.	Allgemeines	2
2.	Spannungsversorgung	2
3.	Konfigurierung	2
4.	Wickelbrücken	3
	- Reset Matrix (XB13)	4
	- Lokale Wait States (XB15)	4
	- Lokales Speicherschreibsignal (XB6)	4
	- Systemtakt CLK & NDP (XB14, XB6)	5
	- Time Out - Generierung (XB15)	5
	- Systembus Arbitration (XB7)	6
	- Einstellung Interruptregime (XB12)	6
	- Auswahl der Mapping Decoder (XB8)	7
	- Residentbusfreigabe (XB1)	8
	- Auswahl der Speicherbausteine (XB11)	8
	- Clock Matrix (XB10A)	9
	- Erweiterung Systembus-Adreßbereich (XB5)	10
	- USART & Serielles Interface (XB10B, XB16)	11
	- Interrupt Matrix (XB1, XB2, XB4)	12
	- Anwenderleitungen (XB1, XB3, XB16)	14
5.	Mapping Decoder	15
5.1	Memory Mapping	17
6.	Das E/A-System	19
6.1	Die BVM-Kodierung	20
6.2	Kanalverteilung im System	22
6.3	E/A-Mapping	23
7.	Flag Interrupt Logik	25
8.	Programmierung der Interface-Bausteine	26
8.1	PIT 8253	26
8.2	USART 8251A	31
8.3	PIC 8259A	36
8.4	Die END OF INTERRUPT Methoden	44
9.	Arbeit im Schrittbetrieb	45
10.	Montage und Installation	46
11.	Wartung und Instandsetzung	46

ÄZ	Mitt. Nr.	Blatt
1	11	1, 2, 19 - 22, 24, 36, 38, 40, 41, 43, 44

AEND.-VERMERK:		SPEZ.TECHNOL.
ÄZ1 ÄM11 06.89	ZVE 16 - M1 (Nutzeranleitung)	BL-ANZ.: 46
BEARB.:		
KONSTR.:		
TECHNOL.:	36 04 38 : 162.25 (TB4) (4)	
E-STAND.:		
STAND.:		

1. Allgemeines

Die Steckeinheiten nach 360438:162.25 sind in-circuit-getestete, unkonfigurierte Basismodule. Die Konfigurierung mit Wickelbrükken und TTL-PROM, die Komplettierung mit EPROM und/oder SRAM und Frontplatte nach 360438:186.52(3) sowie die Endprüfung erfolgt gerätespezifisch nach xxxxxx:xxx.27.

2. Spannungsversorgung

Die Spannungsversorgung + 5V der Steckeinheit erfolgt vom Systembus. Zur Vermeidung unzulässiger Ströme im Kurzschlußfall sind die Steckeinheiten mit einem Schmelzeinsatz F 6,3 TGL 0-41571/01 bestückt, der zur Vermeidung von Übergangswiderständen mit den zugehörigen Kontaktfedern verlötet ist. Im Reparaturfall ist unbedingt darauf zu achten, daß ein typgleicher Schmelzeinsatz verwendet und mit den Kontaktfedern verlötet wird.

3. KONFIGURIERUNG

Die ZVE16-M1 ist als Basiskomponente für ein sehr breites Spektrum von Applikationen konzipiert. Schon allein der Anwendungsbereich `Industrielle Steuerungen` verlangt ein hohes Maß an hard- und softwaremäßiger Flexibilität. Die ZVE16-M1 bietet die erforderliche Flexibilität durch das Prinzip der anwendungsspezifischen Konfigurierung. Der Anwender konfiguriert die Platte entsprechend seinem Einsatzfall und seiner Systemlösung auf drei Ebenen:

* Auswahl und Programmierung (bei EPROMs) der geeigneten Speicherbausteine
* Auswahl und Programmierung der TTL-PROMs
* Festlegen der erforderlichen Wickelverbindungen
* Bedarfsweise Ergänzung des Numerikprozessors 8087

Zwei 28-polige Fassungen, die standardmäßig für die Bestückung mit EPROM vorgesehen sind, stellen dem Anwender bis zu 64 Kbyte Programmspeicher zur Verfügung. Zwei weitere Fassungen können wahlweise EPROM oder SRAM enthalten. Die maximale RAM-Kapazität beträgt ebenfalls 64 Kbyte. Es liegt völlig in der Hand des Anwenders, inwieweit er den lokalen Speicherbereich tatsächlich ausnutzt. Für sehr speicherintensive Anwendungen, die in jedem Fall Ressourcen am Residentbus erfordern, können die Fassungen u.U. leer bleiben. Denkbar wäre auch eine ausschließliche Bestückung mit EPROMs, wobei bei max. 128 Kbyte evtl. eine externe Speichereinheit eingespart werden könnte. Zu beachten ist, daß die CPU nach jedem Reset die Programmabarbeitung auf der Adresse FFFF0H beginnt, wo deshalb ein Sprung zum Anwenderprogramm stehen muß. Der Adreßbereich 00000H - 003FFH wird durch die Interruptvektortabelle belegt.

4. Wickelbrücken

Derim Blockschaltbild dargestellten Aufteilung der ZVE in Funktionskomplexe entspricht die Zusammenfassung von mehreren Wickelbrücken zu Wickelfeldern. Vorzugsweise (aus Gründen der Übersichtlichkeit) sollten Verbindungen nur innerhalb der Felder gewickelt werden. Ihre räumliche Trennung schränkt prinzipiell aber nicht die Möglichkeit von Verbindungen zwischen verschiedenen Feldern ein. Denkbar wären z.B. Verbindungen zwischen der Interrupt Matrix und bestimmten Hilfsleitungen (AUX) oder der Anschluß der freien Leitungen vom Interfacesteckverbinder X3 (USE1, 2). Die folgende Zusammenstellung erfaßt alle Wickelfelder der ZVE und beschreibt kurz die Bedeutung der innerhalb eines jeden Feldes möglichen Verbindungen. Sind verschiedene Signalquellen vorhanden, die wahlweise auf bestimmte Eingänge geführt werden können, erfolgt die Darstellung in Form einer Matrix. Zum besseren Verständnis sei ausdrücklich auf die Funktionsbeschreibung 360438:162.25 (TB3)(4) und den Stromlaufplan 360438:162.25 (Sp)(2) hingewiesen.

RESET MATRIX

XB13

* QUELLE *	Signal	Stift	* ZIEL *	Signal	Stift
Reset-Ausgang vom CG 8284 (über O.C.-Gatter 7406)	(OR) 1)2)	4	Systembus-Signal	/INIT	5
Soft-INIT (über O.C.-Gatter 7406)	/SINIT 1)	3	Interface-Steckverbind. (X3/22)	/UR	2
`Pull up`-Widerstand (R26)	-	7	Lokales ZVE-Reset	-	6
Interface-Steckverbinder (X3/22)	/UR	2	Reset-Eing. vom CG8284	/RESIN	1
Systembus-Signal	/INIT	5			

1)Soft-INIT und OR vom Taktgenerator führen in jedem Fall zur Aktivierung von /INIT-R
2)OR vom Taktgenerator führt in jedem Fall zum lokalen ZVE-Reset

AUSWAHL DES LOKALEN SPEICHERSCHREIBSIGNALS

XB6

Verbindung	Bedeutung
2 - 1	Signal /MWTC vom Lokalbus Controller wird bei Schreibzugriffen verwendet
2 - 3	Voreilendes Signal /AMWC vom Lokalbus Controller wird bei Schreibzugriffen verwendet (Schreibdaten sind noch nicht gültig bei aktiver Vorderflanke des Signals)

LOKALE WAIT STATES

XB15

- Wait States für lokale E/A-Zugriffe -

Verbindung	Anzahl der Wait States	1)
A3 - B1	0	300
- B2	1	500
- B3	2	700
- B4	3	900

- Wait States für Zugriffe zu den Speichern D24,D27 (EPROM) -

Verbindung	Anzahl der Wait States	1)
A2 - B1	0	350
- B2	1	550
- B3	2	750
- B4	3	950

- Wait States für Zugriffe zu den Speichern D25,D26 (RAM/EPROM) -

Verbindung	Anzahl der Wait States	1)
A1 - B1	0	330
- B2	1	530
- B3	2	730
- B4	3	930

1) max. erlaubte Zugriffszeit der Komponenten in nS (CLK=5MHz)

SYSTEMTAKT CLK & NDP

XB14/XB6

Verbindung	Bedeutung
XB14/ 1 - 2	Systemtakt wird vom Quarz CQ2 abgeleitet (CLK = 5 MHz)
- offen -	Systemtakt muß extern zugeführt werden
XB6/ 5 - 4	Quarz CQ1 liefert externen Takt (CLK = 3,28 MHz)
5	externer Takteingang
XB14/ 3 - 4	NDP 8087 nicht bestückt (TEST-Pin der CPU liegt an GND)
- offen -	NDP bestückt

TIME OUT - GENERIERUNG

XB15

Verbindung	Bedeutung
A5 - B5	TIME OUT zugeschaltet - Signal beendet nach etwa 8 ms zwangsweise den BUSZYKLUS, wenn bis dahin kein Quittungssignal eingetroffen ist. Ein Interrupt (TMOI) kann generiert werden.
- offen -	TIME OUT unwirksam

SYSTEMBUS ARBITRATION

XB7

Verbindung	Bedeutung
2 - 1	Das Signal /CBRQ (Common Bus Request) ist mit dem Systembus verbunden. Über diese Leitung können Master niedrigerer Priorität den Bus anfordern.
2 - 3	/CBRQ liegt ständig an Masse (GND). Der Arbiter gibt nach jedem SB-Zyklus den Bus ab.
5 - 6	ANYRQST (Any Request) liegt ständig an Masse. Die ZVE behält die Kontrolle über den SB, bis ein höher priorisierter Master /CBRQ aktiviert. Ein niederpriorisierter Master kann die Buskontrolle nur erhalten, wenn die ZVE keinen SB-Zyklus ausführt.
- offen -	An ANYRQST liegt ständig `High`-Potential. Sobald /CBRQ aktiv ist, nach Beendigung des laufenden SB-Zyklus, erfolgt die Busübergabe an den anfordernden Master, unabhängig von seiner Priorität.
4 - 3	Eingang /BPRN der ZVE liegt an GND. Die ZVE besitzt die höchste Buspriorität im System.
- offen -	Eingang /BPRN muß extern verdrahtet werden

ACHTUNG: Wird über das CP LOCK aktiviert, blockiert die ZVE nach einem SB-zugriff solange den Bus, bis LOCK wieder abgeschaltet wird !

EINSTELLUNG INTERRUPTREGIME

XB12

Verbindung	Bedeutung
2 - 1	Der INTA-Zyklus wird sofort eingeleitet. In einem Mehrmastersystem ist bei einem BVM-Interrupt nicht garantiert, daß der erste INTA-Impuls auf den SB gelangt.
2 - 3	Der INTA-Zyklus wird erst eingeleitet, wenn die ZVE die Kontrolle über den SB erlangt hat, unabhängig ob es sich um einen BVM- oder NBVM-Interrupt handelt.

(siehe Tab. 6.1)

AUSWAHL DER MAPPING DECODER

- Memory Mapping Decoder D20 -

XB8

Verbindung	Bedeutung
2 - 1	Adressierbare PROM-Kapazität: 256 * 4 (0...FFH) Bestückung: MH74S287 o. MH74S571 - Bei Bestückung mit MH74S571 wird nur die untere Hälfte (Page 0) vom PROM adressiert !
- offen -	Adressierbare PROM-Kapazität: 256 * 4 (100-1FFH) Bestückung: MH74S571 - Obere Hälfte vom PROM (Page 1) wird adressiert !
2 - 3	Signal MULTIP0 vom CP wählt PROM-Bereich aus (MULTIP0=`0`->MH74S287 o. MH74S571 (Page 0) MULTIP0=`1`->MH74S571 (Page 1)
2 - 6	Signal MULTIP1 vom CP wählt PROM-Bereich aus

- E/A-Mapping Decoder D19 -

Verbindung	Bedeutung
5 - 4	Adressierbare PROM-Kapazität: 256 * 4 (Ø...FFH) Bestückung: MH74S287 o. MH74S571 - Bei Bestückung mit MH74S571 wird nur die untere Hälfte (Page Ø) vom PROM adressiert !
- offen -	Adressierbare PROM-Kapazität: 256 * 4 (1ØØ-1FFH) Bestückung: MH74S571 - Obere Hälfte vom PROM (Page 1) wird adressiert !

ACHTUNG: Das Umschalten von D19 mittels MULTIPx führt zu unbestimmten Ausgangsbelegungen des Control Ports (CP).

RESIDENTBUSFREIGABE

XB1

Verbindung	Bedeutung
6 - 7	Residentbus ist ständig freigegeben
6 - 5	Residentbusfreigabe erfolgt durch externes Signal (/RBEN,X2/B4)
9 - 8	Das Signal MINT1 vom CP erzeugt ein Quittungssignal (/RBGT,X2/B3) für die Busübergabe
- offen -	Es wird kein Quittungssignal für die Busübergabe erzeugt

AUSWAHL DER SPEICHERBAUSTEINE

- Bestückung der Fassungen D24,D27 (EPROM) -

XB11

Verbindung	Bestückung
B1 - B2 - A1	2 * U2716 1)
B1 - A2 B2 - A1	2 * U2732 1)
B1 - A2 B3 - A1 (oder A3)	2 * U2764
B1 - A2 B2 - A5 B3 - A1 (oder A3)	2 * 27128
B1 - A2 B2 - A5 B3 - A6	2 * 27256

1) Die Pins 1,2,27,28 der Fassungen müssen FREI bleiben !

- Bestückung der Fassungen D25,D26 (EPROM/sRAM) -

XB11

Verbindung	Bestückung
B5 - A1	2 * U2732 1)
B4 - A3 (oder A1) B6 - A1	2 * U2764
B5 - A5 B4 - A3 (oder A1) B6 - A1	2 * 27128
B5 - A5 B4 - A6 B6 - A1	2 * 27256
B4 - A4 B5 - A3	2 * SRAM 8K*8 (z.B. U6264)
B4 - A4 B5 - A5 B6 - A6	2 * SRAM 32K*8 (z.B. U62257)

1) Die Pins 1,2,27,28 der Fassungen müssen FREI bleiben !

	BL.-NR.
36 04 38 : 162.25 (TB4) (4)	9

CLOCK MATRIX

- Eingangstakte PIT -

XB10/A

* QUELLE *	Signal	Stift	* ZIEL *	Stift
Takt 2,4567 MHz	2.46	7	Eingang Kanal 1 (T1)	2
Takt 1,2288 MHz	1.23	6		
Takt 614,4 KHz	614	5		
Takt 307,2 KHz	307	4	Eingang Kanal 2 (T2)	3
Ausgang Kan. 2	CO2	1		

- Der Eingangstakt für KANAL 3 liegt fest auf 1,2288 MHz !

- Bustakte -

XB9

Verbindung	Bedeutung
6 - 5	Bus Clock Generator der ZVE (9830,4KHz) ist mit der Busleitung /BCLK verbunden 1)
3 - 4	Constant Clock Generator der ZVE (9830,4KHz) ist mit der Busleitung /CCLK verbunden 1)
2 - 1	Die Eingangstakte für den PIT werden von Clock Generator 2 der ZVE abgeleitet
2 - 3	Die Eingangstakte für den PIT werden von der Busleitung /CCLK abgeleitet

1) Diese Verbindung muß immer geschlossen sein, wenn die ZVE der einzige Master im System ist. Bei mehreren Mastern darf die Verbindung nur auf EINEM von ihnen existieren !

- Taktsperre PIT/ Speicherblockerweiterung am SB -

XB5

* QUELLE *	Signal	Stift	* ZIEL *	Signal	Stift
Control Port (CP)	MULTIP0	2	Freigabe PIT-Kanal 1	(E1)	1 1)
	MULTIP1	6	Freigabe PIT-Kanal 2	(E2)	7 1)
Signalmasse	GND	4	SB-Adreßbit A20	/ADR14	3 2)
			SB-Adreßbi A21	/ADR15	5 2)

1) Kanal ist ohne Bewicklung immer freigegeben
2) Adreßbit inaktiv durch Verbindung mit Stift 4

USART & Serielles Interface

- Auswahl der Schnittstellen und Takte -

XB10/B

Verbindung	Bedeutung
2 - 3	Empfangsdaten vom IFSS-INTERFACE gelangen zum USART
2 - 1	Empfangsdaten vom RS232C-INTERFACE gelangen zum USART
5 - 7	Sendetakt (TXC) von PIT-Kanal 3
6 - 7	Empfangstakt (RXC) von PIT-Kanal 3
5 - 4	Sendetakt von DCE (DUE)
6 - 4	Empfangstakt von DCE (DUE)

- Spezielle Leitungen -

XB16

Verbindung	Bedeutung
2 - 1	Abschirmung (SE) an Signalmasse (GND)
- offen -	keine Abschirmung
4 - 3	/CTS mit /RTS verbunden 1)
- offen -	/CTS offen

1) IFSS: Verbindung immer geschlossen !
RS232C: Verbindung immer geschlossen, wenn nicht mit /CTS (Ltg. 106) gearbeitet wird

INTERRUPT MATRIX

- Matrix 1 (Anschluß der Busleitungen) -

XB1/XB2

* QUELLE *	Signal	Stift	* ZIEL *	Signal	Stift
		XB2			XB2
	/INT0	16		/RQ0	8
Systembus-	/INT1	15	Inverter	/RQ1	7
leitungen	/INT2	14	D10,D11	/RQ2	6
	/INT3	13		/RQ3	5
	/INT4	12		/RQ4	4
	/INT5	11		/RQ5	3
	/INT6	10		/RQ6	2
	/INT7	9		/RQ7	1
		XB1			
	/INT0-R	17			
Residentbus-	/INT1-R	16			
leitungen	/INT2-R	15			
	/INT3-R	14			
	/INT4-R	13			
	/INT5-R	12			
	/INT6-R	11			
	/INT7-R	10			
ZVE	/MINT0	XB2/17	1)		
(Control Port)	/MINT1	XB1/9			

1) /MINT0,1 (MASTER INTERRUPT) dienen der ZVE zum aktivieren von Bus - Interruptleitungen. Sie können deshalb mit den Stiften XB1/10...17 bzw. XB2/9...16 verbunden werden.

- Matrix 2 (Anschluß des PIC) -

XB4

* QUELLE *	Signal	Stift	* ZIEL *	Signal	Stift
Inverter D10,D11	RQ0	A8	PIC 1)	IR0	B8
	RQ1	A7		IR1	B7
	RQ2	A6		IR2	B6
	RQ3	A5		IR3	B5
	RQ4	A4		IR4	B4
	RQ5	A3		IR5	B3
	RQ6	A2		IR6	B2
	RQ7	A1		IR7	B1
Extern (X3/12)	EXINT	A9	NMI-Logik	NMIRQ 3)	C3
TIME OUT GEN.	/TMOI 2)	C2			
NDP	INT87	C1	ODER-Gatter (Eingänge)	- 5)	D1 D2 D3
USART	SYN	C7	PEGEL INT. LOGIK	+EDGE 4)	D8
	TxRDY	C6			
	RxRDY	C8			
PIT	CO1	C4			
	CO2	C5			
ODER-Gatter (Ausgang)	INTOR 5)	D4			
PEGEL INT.	PINT	D7			
FLAG INT. LOGIK	FINT	D6			

* Die Stifte C9 und B9 sind mit Masse (GND) verbunden *
* Stift D5 liegt über Widerstand an +5V (H2) *

1) Der Ausgang INT vom PIC ist mit dem Eingang INTR der CPU verbunden
2) Wird /TMOI direkt mit IR0...IR7 verbunden,muß der PIC im EDGE TRIGGERED MODE programmiert werden
3) Maskiert mit bit ENMI vom CP
4) Konvertiert flanken- in pegelgetriggerten Interrupt
5) 3-fach ODER-Gatter zur freien Verwendung

- Freie Systembusleitungen (not bussed) -

XB3

Busanschluß	Signal	Stift
X1/A5	AUX0	2
X1/B5	AUX1	3
X1/C5	AUX2	4
X1/A10	AUX3	1

- Freie Residentbusleitungen (not bussed) -

XB1

Busanschluß	Signal	Stift
X2/A5	AUX0-R	2
X2/B5	AUX1-R	3
X2/C5	AUX2-R	4
X2/A10	AUX3-R	1

- Freie Leitungen am Steckverbinder X3 -

XB16

Anschluß	Signal	Stift
X3/16	USE1	5
X3/21	USE2	6

- Lokale ZVE-Signale -

Stift	Signal	I/O
XW6	ALE	O
XW5 (D40)	-	O
XW4 (D40)	-	O
XW3 (D20)	-	O
XW2 (D19)	-	O
XW1 (D19)	-	O

5. Mapping Decoder

Wie schon in 360438:162.25 (TB3)(4) erwähnt, ist die ZVE in der Lage, Ressourcen an drei verschiedenen Bussen zu adressieren. Für die CPU selbst existiert jedoch nur ein geschlossener logischer Adreßraum, der nur durch die Art des Kommandos (Speicher o. E/A) unterschieden wird :

Speicheradreßbereich - 0...FFFFFH
(1 Mbyte)

E/A-Adreßbereich - 0...FFFFH
(64 Kbyte)

Aus diesem Grund befindet sich auf der ZVE eine MAP LOGIK, welche die logischen Adressen mit den an den verschiedenen Bussen vorhandenen physikalischen Speicher- bzw. E/A-Einheiten verknüpft. Umfang und Verteilung der Einheiten hängen von der jeweiligen Anwenderkonfiguration ab. Daraus ergibt sich für die Map Logik die Forderung nach möglichst großer Flexibilität. Dem steht entgegen, daß für die Logik nur eine bestimmte Fläche auf der ZVE zur Verfügung steht. Einen Kompromiß stellt die Verwendung von TTL-PROMs als Mapping Decoder dar. Sie können entsprechend einer gewünschten Systemkonfiguration programmiert werden, mappen jedoch nicht jede einzelne Adresse sondern bestimmte Adreßbereiche (Segmente). Die Mindestgröße der Segmente ergibt sich aus der Anzahl der dekodierten (höchstwertigen) Adreßbits. Am Beispiel des Memory Mapping Decoders sollen im Folgenden die Zusammenhänge verdeutlicht werden. Der Decoder wertet die lokalen Adreßleitungen A12...A19 aus. Die nicht ausgewerteten bits A0...A11 entsprechen einem Adreßumfang von 0...FFFH, also 4 Kbyte. Bei den verwendeten PROMs (256*4) entspricht demnach jede Zelle einem Speicherbereich von 4 Kbyte. Alle Zellen zusammen (256 * 4 Kbyte) decken den gesamten Adreßbereich (1 Mbyte) ab. Ebenso lassen sich den PROM-Adressen direkt die Speichersegmente zuordnen:

PROM-Adresse	Segment	Speicherbereich
00H	0	00000...00FFFH
01H	1	01000...01FFFH
02H	2	02000...02FFFH
03H	3	03000...03FFFH
.	.	.
.	.	.
.	.	.
FCH	252	FC000...FCFFFH
FDH	253	FD000...FDFFFH
FEH	254	FE000...FEFFFH
FFH	255	FF000...FFFFFH

Ausgangsseitig stellt der PROM vier (low-aktive) bits zur Verfügung, so daß jede Zelle 16 mögliche Werte (Ø...FH) beinhalten kann. Da das höchstwertige bit (O4) nicht benutzt wird, gibt es 8 auswertbare Ausgangskombinationen, von denen aber nur eine bestimmte Anzahl sinnvoll ist. Die drei niederwertigen bits haben folgende Bedeutung :

O1 - lokaler Speicherbereich (D25,26) ausgewählt
O2 - lokaler Speicherbereich (D24,27) ausgewählt
O3 - Speicher am Systembus ausgewählt

Ist keiner der Ausgänge aktiv, wird der Zugriff über das Residentbus Interface ausgeführt. Eine mögliche PROM-Belegung könnte z.B. so aussehen :

PROM-Adresse	Inhalt(Hex)
ØØ...Ø3H	6 (oder E)
Ø4...3FH	7 (F)
4Ø...BFH	3 (B)
CØ...FBH	7 (F)
FC...FFH	5 (D)

Dem entspricht die Map-Liste :

logische Adresse	physikalische Lokalisation
ØØØØØ...Ø3FFFH	ZVE (D25,D26/2*U6264)
Ø4ØØØ...3FFFFH	Residentbus
4ØØØØ...BFFFFH	Systembus
CØØØØ...FBFFFH	Residentbus
FCØØØ...FFFFFH	ZVE (D24,D27/2*U2764)

Wie man sieht, läßt sich durch den direkten Zusammenhang sofort von der PROM-Adresse auf das zugehörige Speichersegment schließen. Bei der Wahl der TTL-PROMs kann sich der Anwender zwischen MH74S287 und MH74S571 entscheiden. Da der Letztere 512*4 bit organisiert ist, aber nur 8 CPU-Adreßbits ausgewertet werden, läßt sich durch das 9. Adreßbit entscheiden, ob die untere Hälfte des PROMs (PAGE Ø) oder die obere Hälfte (PAGE 1) ausgewählt wird. Dadurch ist es möglich, zwischen zwei verschiedenen Konfigurationen statisch (Wickelbrücke) oder aber dynamisch (MULTIPx) umzuschalten. Normalerweise enthält die Page Ø die Abbildung des Prüfsystems im Herstellerbetrieb. Bei der Verteilung der verschiedenen Speicher auf die einzelnen Busse ist darauf zu achten, daß, aus Gründen der Verfügbarkeit, am SB nur die wirklich globalen Ressourcen untergebracht werden (Multimaster System). Anders ausgedrückt: jeder Master im System besitzt einen geschlossenen lokalen (residenten) Speicherbereich, indem sich die jeweils benötigten Systembusfenster (Windows) befinden.

5.1 Memory Mapping

Decoder	D20
Typ	MH74S287 oder MH74S571
Minimale Segmentgröße	4 Kbyte
Erstes Segment	0...00FFFH
Letztes Segment	FF000...FFFFFH
PROM-Adressen	00...FFH (MH74S287)
	00...FFH (MH74S571/Page 0)
	100...1FFH (MH74S571/Page 1)
Ausgänge	3 (Low - Aktiv)

- Bedeutung der Ausgänge

```
O4  O3  O2  O1
!   !   !   !
!   !   !   +-------- LOKALBUS (D25,D26)
!   !   +------------ LOKALBUS (D24,D27)
!   +---------------- SYSTEMBUS
+-------------------- keine, beliebig
```

- Wahrheitstabelle

Ausgänge				HEX		Bedeutung
O4	O3	O2	O1	O4=1	O4=0	
X	0	0	0	-	-	ungültig
X	0	0	1	-	-	ungültig
X	0	1	0	-	-	ungültig
X	0	1	1	B	3	SYSTEMBUS ausgewählt
X	1	0	0	-	-	ungültig
X	1	0	1	D	5	LOKALBUS (D24,27) ausgewählt
X	1	1	0	E	6	LOKALBUS (D25,26) ausgewählt
X	1	1	1	F	7	RESIDENTBUS ausgewählt

- BEISPIEL

PROM-Belegung:

H \ L	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	6	6	6	6	7	7	7	7	7	7	7	7	7	7	7	7
1	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7
2	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7
3	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7
4	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3
5	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3
6	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3
7	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3
8	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3
9	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3
A	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3
B	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3
C	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7
D	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7
E	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7
F	7	7	7	7	7	7	7	7	7	7	7	7	5	5	5	5

- daraus resultierende Speicherverteilung:

```
FFFFFH      +----------------------+
            !      LOKALBUS        !
FC000H      !  D24,D27 (EPROM)     !     16 Kbyte
      ------+----------------------+
FBFFFH      !                      !
            !                      !
            !    RESIDENTBUS       !    240 Kbyte
            !                      !
C0000H      !                      !
     -------+----------------------+
BFFFFH      !                      !
            !                      !
            !                      !
            !     SYSTEMBUS        !    512 Kbyte
            !                      !
            !                      !
40000H      !                      !
     -------+----------------------+
3FFFFH      !                      !
            !    RESIDENTBUS       !    240 Kbyte
            !                      !
04000H      !                      !
      ------+----------------------+
03FFFH      !      LOKALBUS        !
            !   D25,D26 (RAM)      !     16 Kbyte
00000H      +----------------------+

            1 Mbyte Speicheradreßraum
```

```
*********************************************************************
*                                          * BL.-NR. *               *
*                                          *         *               *
*       36 04 38 : 162.25 (TB4) (4)        *   18    *               *
*                                          *         *               *
*********************************************************************
```

6. Das E/A-System

Der Decoder für das E/A-Mapping unterscheidet sich von jenem für das Memory Mapping in drei Punkten :

1. Neben der (E/A-)Adreß-Map enthält der Decoder noch die Information darüber, an welchem Bus (System- oder Resident-) im BVM gearbeitet wird

2. Von den vier Ausgängen des Decoders werden nur zwei ausgewertet

3. Beide Ausgänge können (im Bereich 2) gleichzeitig aktiv sein

Da der Anwender auch beim E/A-Mapping zwei verschiedene Belegungen programmieren und auswählen kann und ein Adreßbit durch das Signal /AINTA belegt ist, stehen für die E/A-Dekodierung 7 bit zur Verfügung. E/A-Adressen im System sind 16 bit breit. Die vom TTL-PROM nicht dekodierten unteren 9 bit der Adresse bestimmen damit die minimale E/A-Segmentgröße von 512 byte. Der gesamte E/A-Adreßraum wird also durch den Mapping Decoder in 128 Segmente aufgeteilt. Um den Dekodieraufwand in Grenzen zu halten, werden von den Slaves des Systems normalerweise nur die oberen 8 bit der E/A-Adresse, die sogenannte Basis- oder Kanaladresse, dekodiert. Nach diesem Schema gliedert sich der 64 Kbyte E/A-Adreßraum in 256 Kanäle, wobei jeder Kanal maximal 256 verschiedene Ports enthalten kann:

Kanal-Nr.	Basisadresse (A15...A8)	Ports (A7...A0)
0	00H	0000...00FFH
1	01H	0100...01FFH
2	02H	0200...02FFH
.	.	.
.	.	.
.	.	.
254 (FEH)	FEH	FE00...FEFFH
255 (FFH)	FFH	FF00...FFFFH

```
A15          8 7            A0
+------------+--------------+
|   KANAL    |    PORT      |
+------------+--------------+
```

(Aufbau einer 16-bit-E/A-Adresse)

Aus der minimalen Segmentgröße von 512 byte ergibt sich, daß immer mindestens 2 Kanäle an einem Bus liegen müssen:

E/A-Segment	E/A-Adreßbereich	Kanäle
0	0000...01FFH	0,1
1	0200...03FFH	2,3
2	0400...05FFH	4,5
.	.	.
.	.	.
.	.	.
126	FC00...FDFF	252,253 (FC,FD)
127	FE00...FFFF	254,255 (FE,FF)

Eine besondere Rolle im E/A-System spielt der KANAL 0. Er ist für Systemaufgaben reserviert und sollte von anwenderspezifischen Moduln nicht verwendet werden. Alle auf der ZVE lokalisierten E/A-Geräte sind in der Regel Kanal 0 zugeordnet. Um zu verhindern, daß dieser Systemkanal nur auf eine Einheit beschränkt ist, wird auf allen Systemeinheiten, die diesen Kanal nutzen, auch der Low-Teil der E/A-Adresse dekodiert. Die ZVE belegt dadurch fest die Portadressen (A7...A0) C0H...DFH. Befindet sich z.B. am Systembus ein Slave, auf dem ebenfalls Systemports lokalisiert sind (z.B. Paritätsfehlerregister), muß das erste Segment vom E/A-Mapping Decoder so programmiert werden, daß die Ausgänge für Lokalbus und Systembus gleichzeitig aktiv sind. Angesprochen wird dann genau die Einheit, deren Low-Teil-Dekodierung mit der ausgesendeten Adresse übereinstimmt. Damit die Map Logik zwischen Systemports an SB und RB unterscheiden kann, ist der Kanal 128 (80H) ebenfalls reserviert.
Beim Memory Mapping Decoder dagegen darf immer höchstens ein Ausgang aktiv werden, da die unteren 4 K der Speicheradresse auf der ZVE nicht weiter entschlüsselt werden.

6.1 Die BVM - Kodierung

Für die ZVE16-M1 sind zwei Arten des vektorisierten Interrupts möglich: BVM (Bus Vektor Mode) und NBVM (Nicht-Bus Vektor Mode). Beim NBVM liefert der Master-PIC auf der ZVE den Interrupt Vektor für jede Interruptanforderung. BVM bedeutet, daß eine Interruptanforderung von einer Einheit am System- oder Residentbus vorliegt, die selbst den Interruptvektor bereitstellt (normalerweise ein Slave-PIC). Durch die BVM-Kodierung und die Programmierung des Master-PIC wird der ZVE vom Anwender mitgeteilt, ob und an welchem Bus solche Module installiert sind.
Auf den Eingang A7 des E/A-Mapping Decoders ist das Signal /AINTA geführt, welches immer aktiv ist, wenn die CPU einen INTERRUPT-ACKNOWLEDGE-Zyklus ausführt. Dieses bit teilt eine PROM-Page in in zwei völlig unabhängige Bereiche zu je 128 Zellen :

Bereich	A7	PROM-Adresse	Bedeutung
1	0	00...7FH	INTA-Zyklus; BVM Festlegung
2	1	80...FFH	norm. E/A-Zyklus; E/A-Mapping

Obwohl zwischen dem Vektorlesen und einem `normalen` E/A-Zugriff Gemeinsamkeiten bestehen, die u.a. auch in der Status-Kodierung durch die CPU zum Ausdruck kommen (/S2=0), gibt es auch einen wesentlichen Unterschied :

> Die Adressierung des Slaves im BVM erfolgt nicht durch die CPU sondern durch die CAS-Leitungen vom Master-PIC.

Daraus folgt, daß anhand der E/A-Adreßbits nicht zwischen einzelnen, den Interrupt Vektor liefernden Slaves unterschieden werden kann. Das bedeutet wiederum, daß der <u>gesamte</u> BVM-Bereich (1) des Mapping Decoders immer die gleiche, von der E/A-Adresse unabhängige Belegung enthalten muß :

Decoder	D19 - Bereich 1
PROM-Adressen	00...7FH (MH74S287)
	00...7FH (MH74S571/Page 0)
	100...17FH (MH74S571/Page 1)
Ausgänge	2 (Low - Aktiv)

PROM-Adr.	Ausgänge 04	03	02	01	HEX 04,3=1	04,3=0	Bedeutung
00...7FH	X	X	1	0	E	2	BVM am Systembus
					<u>ODER:</u>		
00...7FH	X	X	1	1	F	3	BVM am Residentbus

- Alle anderen Belegungen in diesem PROM-Bereich sind nicht erlaubt !

Ist kein BVM im System vorgesehen, muß trotzdem eine der beiden Belegungen gewählt werden. Durch die Programmierung des PIC (ICW1 = SINGLE) wird gesichert, daß bei Interrupt dann keine Businterfaces benutzt werden und der Vektor immer vom Master-PIC geliefert wird. Tabelle 6.1 gibt alle möglichen Kombinationen von Brücke XB12 und BVM-Kodierung in Abhängigkeit von der Art des Interruptregimes an.

Art der vektorisierten Interrupts	BVM-Kodierung	XB12
keine oder nur NBVM	RB	2 - 1
NBVM + BVM am RB	RB	2 - 1
NBVM + BVM am SB	SB	2 - 3
BVM-Umschaltung zwischen RB und SB 1)	RB/SB	2 - 1

1) Nicht möglich im Multimaster-System !

Tab. 6.1 : BVM-Kodierung und XB12

6.2 Kanalverteilung im System

Auf Grund der Vielzahl der verfügbaren Kanäle und Ports bietet es sich an, die Verteilung der E/A-Kanäle einheitlich zu gestalten. Das würde bedeuten, daß es im System MMS16-Z einen standardisierten TTL_PROM D19 gibt, der allen Anwendern zur Verfügung steht und eine problemlose Austauschbarkeit von E/A-Slaves bzw. entsprechender Software erlaubt. Die Verwendung des MH74S571 bietet dem Anwender dabei die Möglichkeit, bei gleicher Kanalverteilung zwischen BVM am System- oder Residentbus zu wählen.
Das folgende Beispiel zeigt die Page 0 von diesem Standard-E/A-PROM (MRA16) und die daraus resultierende Kanalverteilung. Wie man sieht, ist der gesamte Adreßbereich symmetrisch geteilt. Die untere Hälfte der Kanäle ist dem Residentbus, die obere dem Systembus zugeordnet. Systemkanal 0 ist lokal oder resident lokalisiert, Systemkanal 128 liegt am Systembus. Page 1 des PROMs unterscheidet sich nur im Bereich 1 (BVM: Residentbus).

6.3 E/A-Mapping

Decoder	D19 - Bereich 2
Typ	MH74S287 oder MH74S571
Minimale Segmentgröße	512 byte (2 Kanäle)
Erstes Segment	0...01FFH
Letztes Segment	FE00...FFFFH
PROM-Adressen	80...FFH (MH74S287)
	80...FFH (MH74S571/Page 0)
	180...1FFH (MH74S571/Page 1)
Ausgänge	2 (Low - Aktiv)

- <u>Bedeutung der Ausgänge</u>

```
04  03  02  01
!   !   !   !
!   !   !   +-------- SYSTEMBUS
!   !   +------------ LOKALBUS
!   +---------------- keine, beliebig
+------------------- keine, beliebig
```

- <u>Wahrheitstabelle</u>

Ausgänge 04	03	02	01	HEX 04,3=1	04,3=0	Bedeutung
X	X	0	0	C	0	Lokal- oder Systembuszugriff 1)
X	X	0	1	D	1	Lokal- oder Residentbus-zugriff 1)
X	X	1	0	E	2	Systembuszugriff
X	X	1	1	F	3	Residentbuszugriff

X - beliebig

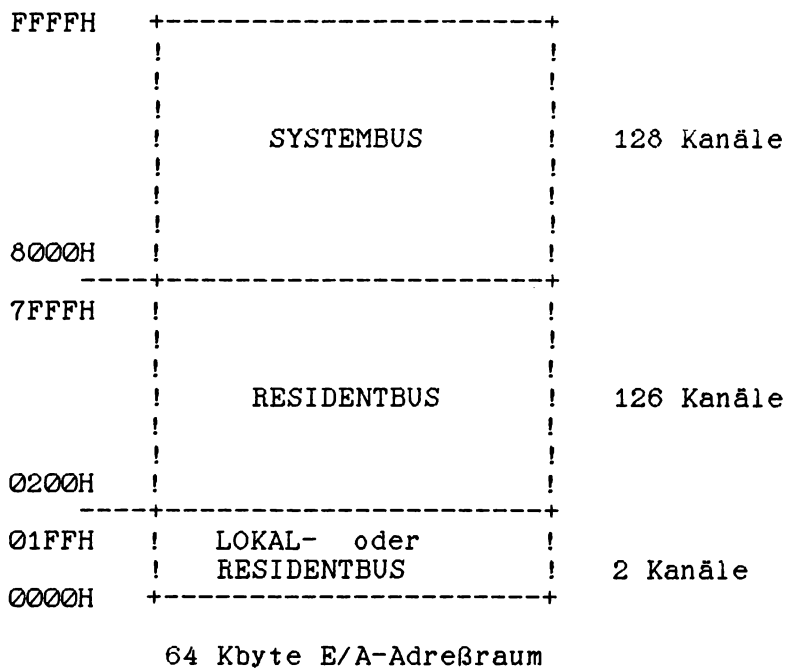
1) wird durch Low-Teil der Adresse entschieden, wenn der Kanal an beiden Bussen existiert

- BEISPIEL

PROM-Belegung (STANDARDBELEGUNG):

H \ L	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
0	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	
1	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	
2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	
3	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	BEREICH 1
4	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	
5	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	BVM:
6	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	Systembus
7	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	
8	1	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3	
9	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3	
A	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3	
B	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3	BEREICH 2
C	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	
D	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	E/A-Mapping
E	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	
F	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	

- daraus resultierende Kanalverteilung:



	BL.-NR.
36 04 38 : 162.25 (TB4) (4)	24

7. Flag Interrupt Logik

Wie schon in 360438:162.25 (TB3)(4), Abschnitt 2.4 erwähnt, unterstützt das Flag Interrupt (FINT) als Bestandteil des Systembus Interfaces die Kommunikation mehrerer Master besonders in Echtzeitsystemen. Die Flag Logik belegt dabei einen Systembus-E/A-Kanal. Die Kanaladresse wird durch die Programmierung von TTL-PROM D18 (MH74S287) festgelegt, die Portadresse (A0...A7) ist beliebig.

A C H T U N G

D18 wertet die negierten Adreßbits aus !

- Wahrheitstabelle D18

Ausgänge				Bedeutung
04	03	02	01	
X	X	X	0	Kanaladresse FINT
X	X	X	1	FINT inaktiv

- BEISPIEL:

Die Flag Logik eines Masters soll die Kanaladresse 0FEH belegen. Die PROM-Adresse 01 (aktiv) müßte dann eine gerade Belegung (0,2...E) enthalten, während alle anderen Zellen (inaktiv) einen ungeraden Inhalt (1,3...F) haben.

Durch die Ausgabe eines Datenbytes auf die Kanaladresse kann FINT von einem beliebigen Master aus gesetzt oder gelöscht werden (auch durch den eigenen Master !).

- Format des Datenbytes:

```
D7-------D0
  XXXXXXX1  ->   Set   FINT
  XXXXXXX0  ->   Reset FINT
```

X - beliebig

Durch Verbindung von FINT mit einem PIC-Eingang (Matrix 2) ist es dann möglich, mittels Ausgabebefehl einen Pegel-Interrupt auszulösen und die laufende Programmabarbeitung eines Masters zu unterbrechen. Haben mehrere aster die gleiche Flag-Adresse, können sie synchron unterbrochen werden. Der Ausgabebefehl kann erst gesendet werden, wenn der sendende Master über den SB verfügt. Bei zeitkritischen Systemen ist deshalb die Position des Masters im Prioritätsschema zu berücksichtigen. Eine prioritätsunabhängige Unterbrechungsmöglichkeit bieten die Signale /MINT0, /MINT1 vom Control Port.

8. Programmierung der Interface-Bausteine

8.1 PIT 8253

8.1.1 Initialisierung

Der Zähler/Zeitgeber (PIT) beinhaltet 3 Kanäle, die unabhängig voneinander programmiert werden, indem jeweils ein Steuerwort ausgegeben und danach das Zeitkonstantenregister (ein oder zwei bytes) geladen wird. Bild 6.1 zeigt zwei mögliche typische Prozeduren. Jeder Kanal enthält einen 16 bit Abwärtszähler, der als Frequenzteiler oder Zeitgeber in verschiedenen Betriebsarten genutzt werden kann. Vor einer Initialisierung sind Mode, Zählerstand und Ausgänge der Counter undefiniert.

Prozedur zur Programmierung eines Kanals:

Adresse		
ØD6	Mode Control	Counter n
ØDØ/2/4	Count Register LSB	Counter n
ØDØ/2/4	Count Register MSB	Counter n

Prozedur zur Initialisierung aller Kanäle:

Adresse		
ØD6	Mode Control	Counter 1
ØD6	Mode Control	Counter 2
ØD6	Mode Control	Counter 3
ØDØ	Count Register LSB	Counter 1
ØDØ	Count Register MSB	Counter 1
ØD2	Count Register LSB	Counter 2
ØD2	Count Register MSB	Counter 2
ØD4	Count Register LSB	Counter 3
ØD4	Count Register MSB	Counter 3

Bild 8.1 : Typische PIT-Prozedur

```
*************************************************************************
*                                          * BL.-NR. *                  *
*                                          *         *                  *
*       36 04 38 : 162.25 (TB4) (4)        *   26    *                  *
*                                          *         *                  *
*************************************************************************
```

Das MODE CONTROL - Wort (MCW) hat folgendes Format:

D7							D0
SC1	SC0	RL1	RL0	M2	M1	M0	BCD

BCD	Binär/BCD-Zähler	0	Binärzähler (16 bit)
		1	BCD-Zähler (4 Dekaden)

		M2	M1	M0	
M0-M2	Betriebsart	0	0	0	Mode 0
		0	0	1	Mode 1
		X	1	0	Mode 2
		X	1	1	Mode 3
		1	0	0	Mode 4
X - beliebig		1	0	1	Mode 5

		RL1	RL0	
RL0,RL1	Lesen/Laden	0	0	Counter Latching
		0	1	nur LSB lesen/laden
		1	0	nur MSB lesen/laden
		1	1	zuerst LSB, dann MSB lesen/laden

		SC1	SC0	
SC0,SC1	Kanalauswahl	0	0	Counter 1
		0	1	Counter 2
		1	0	Counter 3
		1	1	nicht erlaubt (Read back bei 8254)

8.1.2 Betriebsarten

Die einzelnen Betriebsarten beinhalten folgende Funktionen:

- Mode 0: Interrupt bei Erreichen des Zählerstandes 0.
  Der Ausgang geht nach dem Laden des MCW auf low. Ist die Zeitkonstante vollständig geladen, beginnt der Zählvorgang automatisch. Bei Erreichen des Zählerstandes 0 geht der Ausgang auf high, bis der Zähler neu geladen wird. Solange wird auch das Zählregister über 0 hinaus weiter dekrementiert. Mode 0 ist nicht repetierend, d.h., der Zählvorgang muß neu gestartet werden. Um Echtzeit-Interrupts zu generieren, muß der Zählerausgang mit dem PIC verbunden werden.

- Mode 1: Programmierbare Einimpulsschaltung (Monoflop)
  Der Ruhezustand des Ausgangs ist high. Der Zähler wird mit einer positiven Flanke am GATE-Eingang gestartet, der Ausgang geht auf low. Bei Zählerstand Ø geht der Ausgang auf high und der Zähler stoppt. Jede weitere Ø/1-Flanke am GATE vor Erreichen des Zählerstandes Ø setzt das Zählregister neu, der Ausgang bleibt auf low (retriggerbares Monoflop). Mode 1 ist nicht repetierend.

- Mode 2: Zeitgeber (Frequenzgenerator, Teiler durch n)
  Nach dem Laden des MCW geht der Ausgang auf high. Das Zählen beginnt, nachdem die Zeitkonstante geladen wurde. Der Ausgang geht jeweils im letzten Takt für eine Taktperiode auf low, der Abstand der Ausgangsimpulse entspricht der programmierten Taktzahl. Geht der GATE-Eingang auf low, wird der Zähler gestopt, bei high wird er neu geladen und gestartet. Die Eingabe einer neuen Zeitkonstante wird in der nächsten Periode berücksichtigt, ansonsten wird ein neuer Zählvorgang mit der alten Zeitkonstante gestartet. Mode 2 ist repetierend, bei Ø-Durchgang wird der Zähler neu gesetzt und gestartet.

- Mode 3: Rechteckgenerator
  Analog wie Mode 2, jedoch geht der Ausgang bereits nach der Hälfte der Eingangsimpuse aus low, so daß ein symmetrischer Ausgangstakt entsteht. Der Teilerfaktor 3 ist nicht erlaubt. Mode 3 ist repetierend.

- Mode 4: Software-getriggerter Impuls (Strobe)
  Nach dem Laden des MCW geht der Ausgang auf high. Das Zählen beginnt, nachdem die Zeitkonstante geladen wurde. Der Ausgang geht nach Erreichen des Zählerstandes Ø für eine Taktperiode auf low. Anschließend bleibt er wieder high. Zum erneuten Starten muß die Zeitkonstante wieder geladen werden. Geht der GATE-Eingang auf low, wird der Zähler gestopt, bei high wird er neu geladen und gestartet. Die Eingabe einer neuen Zeitkonstante während eines Zählvorgangs bewirkt sofort einen neuen Zählvorgang. Mode 4 ist nicht repetierend.

- Mode 5: Hardware-getriggerter Impuls (Strobe)
  Analog wie Mode 4, jedoch beginnt das Zählen erst nach einer positiven Flanke am GATE-Eingang (retriggerbar). Der GATE-Eingang kann über das CONTROL PORT (CP) gesteuert werden.

8.1.3 Lesen des Zählerstandes

Zum Auslesen eines Zählerstandes können zwei Verfahren angewendet werden:

- Ist der Zählvorgang über ein low-Signal am GATE-Eingang unterbrochen, so kann durch eine Leseoperation auf eine Adresse des gewünschten Kanals der momentane Zählerstand ermittelt werden. Dabei muß beachtet werten, ob im vorangegangenen Mode-Control-Wort nur ein byte (LSB oder MSB) oder beide vereinbart wurden.

```
*********************************************************************
*                                          * BL.-NR. *              *
*                                          *         *              *
*      36 Ø4 38 : 162.25 (TB4) (4)         *   28    *              *
*                                          *         *              *
*********************************************************************
```

- Soll ein Zählerstand ausgelesen werden, ohne daß der Zählvorgang unterbrochen wird, so muß der Counter-Latching-Mode angewendet werden. Dazu wird zunächst ein Mode Control Word (Adresse ØD6H) mit folgendem Format ausgegeben:

```
  D7                                  DØ
+-------------------+---------------+
¦ SC1 ¦ SCØ ¦ Ø ¦ Ø ¦ X ¦ X ¦ X ¦ X ¦
+-----------------------------------+
```

  SC1,SCØ wählen den entsprechenden Kanal aus.

Anschließend kann eine Leseoperation auf die gewünschte Kanaladresse ausgeführt werden. Auch hierbei ist die vorher vereinbarte Zahl von bytes zu berücksichtigen. Wenn zwei Counter bytes programmiert wurden, <u>müssen</u> auch zwei bytes gelesen werden, bevor wieder ein Schreibkommando gesendet werden kann.

8.1.4 Frequenzteiler- und Zeitgeberanwendungen

Kanal 3 wird als Baudratengenerator für das serielle Interface genutzt. Die Eingangsfrequenz ist fest auf 1.2288 MHz eingestellt. Er sollte für den Mode 3 programmiert werden. Die erforderlichen Zeitkonstanten für einige Baudraten sind im Abschnitt 6.2 zu finden.
Die Kanäle 1 und 2 stehen dem Anwender zur Verfügung. Als Eingangsfrequenz kann 1.2288 MHz, 614.4 KHz oder 307.2 kHz gewählt werden, außerdem können sie kaskadiert werden. Die Auswahl erfolgt über Wickelbrücken. Im folgenden werden einige Hinweise zu ihrer Programmierung gegeben.

Im Mode 2 oder 3 arbeiten die Kanäle als Frequenzteiler. Die Ausgangsfrequenz kann nach folgender Formel bestimmt werden:

$$\text{Ausgangsfrequenz} = \frac{\text{Eingangsfrequenz}}{\text{Zeitkonstante}}$$

Im Mode 1, 4 oder 5 arbeiten sie als Zeitgeber. Die Länge des Zeitintervalls kann nach folgender Formel bestimmt werden:

$$\text{Zeitintervall} = \frac{\text{Zeitkonstante}}{\text{Eingangsfrequenz}}$$

Die Tabelle 6.1 zeigt die möglichen Frequenz- und Zeitbereiche, Tabelle 6.2 enthält einige Zeitkonstanten für ausgewählte Zeitintervalle.

	Ein Zähler		Zwei Zähler kask.	
fin	1.2288 MHz	307.2 kHz	1.2288 MHz	307.2 kHz
foutMIN	18.75 Hz	4.69 Hz	0.0003 Hz	0.00007 Hz
foutMAX	614.4 kHz	153.6 kHz	307.2 kHz	76.8 kHz
toutMIN	1.63 us	6.51 us	3.26 us	13.0 us
toutMAX	53.3 ms	213.3 ms	58.25 min	233 min

Tabelle 8.1 : Frequenz- und Zeitbereiche des PIT

Intervall	Zeitkonstante					
	Ein Zähler				Zwei Zähler 1)	
bei fin	1.2288 MHz		307.2 kHz		1.2288 MHz	
	dez.	hex.	dez.	hex.	dez.	hex.
10 us	12	0C				
100 us	123	7B	31	1F		
1 ms	1229	4CD	307	133		
10 ms	12288	3000	3072	0C00	2	2
100 ms			30720	7800	20	14
1 s					200	0C8
10 s					2000	70D

Tabelle 8.2 : Einige Zeitkonstanten für ausgewählte Zeitintervalle

1) Es ist nur die Zeitkonstante für einen Kanal angegeben unter der Bedingung, daß der zweite Kanal auf 6144 (1800H) programmiert ist.

8.2 USART 8251A

8.2.1 Initialisierung

Die Programmierung des seriellen Interfaces erfolgt durch bestimmte Steuerworte, die an den USART (PCI) ausgegeben werden. Nach jedem RESET muß der USART initialisiert werden, außerdem kann die Initialisierung auch während des Betriebs erfolgen, wenn z.B. Betriebsart oder Übertragungsformat geändert werden sollen. Eine typische Programmfolge zeigt Bild 8.2.

```
Adresse   +-------------------------+
          ¦        RESET            ¦
          ¦-------------------------¦
  00DA    ¦    Mode Instruction     ¦
          ¦-------------------------¦
  00DA    ¦    SYNC CHAR 1          ¦  nur im
          ¦-------------------------¦  Synchron-
  00DA    ¦    SYNC CHAR 2          ¦  mode
          ¦-------------------------¦
  00DA    ¦    Command Instruction  ¦
          ¦-------------------------¦
  00D8    ¦        Daten            ¦
          =                         =
          ¦-------------------------¦
  00DA    ¦    Command Instruction  ¦
          ¦-------------------------¦
  00D8    ¦        Daten            ¦
          +-------------------------+
```

Bild 8.2 : Typische USART-Prozedur

Das MODE INSTRUCTION - Wort hat folgendes Format:

	D7							D0
Asynchron Mode	S2	S1	EP	PEN	L2	L1	B2	B1
Synchron Mode	SCS	0	EP	PEN	L2	L1	0	0

B1,B2 Baudrate-Faktor:

B2	B1		
0	0	SYNC-MODE	
0	1	1	(Baudrate * 1 = Taktfrequenz)
1	0	16	(Baudrate * 16 = Taktfrequenz)
1	1	64	(Baudrate * 64 = Taktfrequenz)

$$\text{Baudrate} = \frac{\text{Frequenz an TxC,RxC}}{\text{Baudrate-Faktor}}$$

L1,L2 Zeichenlänge:

L2	L1	
0	0	5 bit
0	1	6 bit
1	0	7 bit
1	1	8 bit

PEN Paritätsfreigabe:

0	ohne Parität
1	mit Parität

EP gerade Parität:

0	ungerade
1	gerade

S1,S2 Zahl der Stopbits:

S2	S1	
0	0	nicht erlaubt
0	1	1 Stopbit
1	0	1.5 Stopbits
1	1	2 Stopbits

SCS Zahl der SYNC-Zeichen:

0	2 SYNC-Zeichen
1	1 SYNC-Zeichen

Je nach Mode erwartet der USART als nächstes entweder zwei, ein oder kein SYNC-Zeichen.

Das COMMAND INSTRUCTION - Wort hat folgendes Format:

```
  D7                                                  D0
+-------------------+-----------------------+
| EH | IR | RTS | ER | BRK | RxE | DTR | TxE |
+-------------------------------------------+
```

```
TxE = 1 :   Senderfreigabe
DTR = 1 :   /DTR-Ausgang 'Low' setzen
RxE = 1 :   Empfängerfreigabe
BRK = 1 :   BREAK-CHARACTER senden
ER  = 1 :   Fehlerflags PE,OE,FE rücksetzen
RTS = 1 :   /RTS-Ausgang 'Low' setzen
IR  = 1 :   Internes Rücksetzen
EH  = 1 :   Empfangsdaten auf SYNC-Zeichen testen
             (Hunt-Mode)
```

! ACHTUNG !

Nach einem 'Power-up RESET' sind Mode und interner Zustand des USART undefiniert. Um in diesem Fall definiert das Mode Instruction Format zu erreichen, muß die folgende 'worst-case initialization sequence' abgearbeitet werden:

Ausgabe von 00H,00H,00H,40H an Adresse 00DAH

Danach kann die normale Initialisierung entspr. Bild 8.2 beginnen. Der USART benötigt bei der Initialisierung zwischen aufeinanderfolgenden Schreiboperationen eine Pause von min. 12 us, um seine internen Register zu setzen. Bei der Programmierung aufeinanderfolgender Ausgaben muß eine entsprechende Warteschleife eingebaut werden, bevor der Status abgefragt werden kann. Außerdem sollten während der Intialisierung Interrupts verboten bzw. die entsprechenden Ebenen am PIC maskiert werden.

8.2.2 Datenübertragung

Nach der Initialisierung können Daten übertragen oder empfangen werden. Dabei sind zwei Betriebsarten möglich:

- Interrupt-Mode:
  Die USART-Signale TxRDY und RxRDY werden mit dem PIC verbunden.
  Senderinterrupt: Ist der Sendepuffer leer, erzeugt TxRDY einen Senderinterrupt, falls der PIC entsprechend programmiert ist. TxRDY wird so lange aktiv gehalten, bis ein neues Zeichen an den USART ausgegeben wurde.
  Empfängerinterrupt: Hat der USART ein Zeichen empfangen, erzeugt RxRDY einen Empfängerinterrupt, falls der PIC entsprechend programmiert ist. RxRDY wird so lange aktiv gehalten, bis das Zeichen aus dem USART ausgelesen wurde.

- Poll-Mode:
  Die Zustände des Empfangs- und Sendepuffers sind über ein Statusregister abfragbar. Außerdem sind auf diese Weise auch die Fehlerflags testbar.

8.2.3 Statusregister lesen

Das Lesen des Statusregisters erfolgt, indem ein Lesekommando auf die Adresse ØDAH ausgegeben wird.

Das STATUS READ - Wort hat folgendes Format:

```
          D7                                                  DØ
        +-------------------+-------------------+-------------------+
        ¦ DSR ¦ SY/BK  ¦ FE ¦ OE ¦ PE ¦ TxEM ¦ RRDY ¦ TRDY ¦
        +-------------------------------------------------------+
```

TRDY=1 :	Sendepuffer ist leer, CPU kann neues Zeichen senden
RRDY=1 :	Der USART hat ein Zeichen empfangen, welches von der CPU gelesen werden kann
TxEM=1 :	Das Sendeschieberegister ist leer
PE =1 :	Paritätsfehler
OE =1 :	Empfängerüberlauf (hat die CPU ein Zeichen nicht rechtzeitig ausgelesen, wird es von neu empfangenen Zeichen überschrieben)
FE =1 :	Rahmenfehler (es wurde kein Stopbit erkannt)
SY =1 :	SYNC CHAR wurde erkannt (Synchron Mode)
BK =1 :	BREAK CHARACTER wurde erkannt (Asynchron Mode)
DSR =1 :	/DSR-Eingang liegt auf low

8.2.4 Baudraten

Die Baudrate wird über den PIT, Kanal 3, programmiert, vgl. Abschnitt 8.1.4. Sie läßt sich nach folgender Formel ermitteln:

$$\text{Baudrate} = \frac{\text{Eingangsfrequenz des Zählers}}{\text{Zeitkonstante x Vorteiler}}$$

Die Eingangsfrequenz ist 1,2288 MHz. Der Vorteiler wird im Mode-Instruktion-Wort auf 1, 16 oder 64 programmiert. Die Tabelle 8.3 zeigt einige Zeitkonstanten für den Zählerkanal 3 bei den üblichen Baudraten.

Baudrate	Zeitkonstante bei Vorteiler 64		16	
	dez.	hex.	dez.	hex.
19200			4	4
9600			8	8
4800	4	4	16	10
2400	8	8	32	20
1200	16	10	64	40
600	32	20	128	80
300	64	40	256	100
150	128	80	512	200

Tab. 8.3: Zeitkonstanten für einige Baudraten

8.3 PIC 8259A

Der programmierbare Interrupt-Controller (PIC) entlastet die CPU von der Interruptverwaltung. Er erkennt auftretende Interruptanforderungen, ermittelt deren Priorität, generiert einen maskierbaren Interrupt für die CPU und liefert dieser einen Vektor zur Ermittlung der Sprungadresse für die Unterbrechungsroutine. An jedem Interrupteingang des PIC kann ein weiterer Slave-PIC angeschlossen werden.

8.3.1 Der Interrupt Acknowledge - Zyklus auf der ZVE

1. Der Pegel an einem oder mehreren IR-Eingängen des PIC wechselt von 'low' (inaktiv) auf 'high' (aktiv). Sind diese Eingänge nicht durch das Interrupt Mask Register (IMR) maskiert, werden die korrespondierenden Bits im Interrupt Request Register (IRR) vom PIC gesetzt.

2. Spätestens 350 nS nach einem L/H-Übergang aktiviert der PIC seinen Ausgang INT, der mit dem Eingang INTR der CPU verbunden ist.

3. Die CPU akzeptiert die Interruptanforderung durch Senden des 1. /INTA-Kommandos.

4. Bei Empfang dieses Kommandos übernimmt der PIC die höchstpriorisierte Anforderung in sein In-Service Register (ISR), während das entsprechende Bit im IRR gelöscht wird.

5. Die CPU sendet das 2. /INTA-Kommando, welches den PIC veranlaßt einen 8-bit-Vektor auf den Datenbus zu legen, der von der CPU gelesen wird. War die Interrupt-auslösende Quelle ein Slave-PIC, sendet dieser an Stelle des Master-PICs den Vektor.

6. Damit ist der Interrupt Acknowledge - Zyklus abgeschlossen. Im AEOI-Mode wird das ISR-Bit mit der Rückflanke des 2. /INTA-Kommandos gelöscht. Anderenfalls muß das Bit durch ein EOI-Kommando am Ende der Unterbrechungsroutine zurückgesetzt werden.

8.3.2 Initialisierung

Bevor irgentwelche Interrupts behandelt werden können, müssen alle PIC's im System initialisiert werden 1). Dies geschieht durch Initialisierungsworte (Initialization Command Words). Anschließend kann durch verschiedene Operationssteuerworte (Operation Control Words) jederzeit die Arbeitsweise festgelegt und geändert werden. Eine typische Initialisierungssequenz zeigt Bild 8.3.

1) Das Verhalten der unprogrammierten PICs ist undefiniert!

```
Adresse     +-------------+
  0C0       |    ICW 1    |
            |-------------|
  0C2       |    ICW 2    |
            |-------------|
  0C2       |    ICW 3    | <-- nur, wenn Slave-PIC's
            |-------------|     angeschlossen sind !
  0C2       |    ICW 4    |
            |-------------|
            =             =
            | Initialisieren der Slave-PIC's
            =             =
            |-------------|
  0C2       |    OCW 1    |   Die Reihenfolge und
            = ----------- =   der Zeitpunkt fuer die
  0C0       |    OCW 2    |   Ausgabe von OCW 's ist
            = ----------- =   nicht vorgeschrieben !
  0C0       |    OCW 3    |
            +-------------+
```

Bild 8.3: Typische PIC-Prozedur

ACHTUNG! Während der Initialisierung oder Umprogrammierung des PIC sollten Interrupts durch die CPU gesperrt sein! Die Reihenfolge ICW1 - ICW2 - (ICW3) - ICW4 muß eingehalten werden.

Die INITIALIZATION COMMAND - Worte haben folgendes Format:

	D7							D0	ADR
ICW1	X	X	X	1	LTM	X	SNG	1	OCOH
ICW2	V7	V6	V5	V4	V3	0	0	0	0C2H
ICW3 (Master)	S7	S6	S5	S4	S3	S2	S1	S0	0C2H
ICW3 (Slave)	0	0	0	0	0	ID2	ID1	ID0	0C2H
ICW4	0	0	0	SFN	BUF	M/S	AEOI	1	0C2H

SNG Single Mode 1 keine Slave-PIC's
0 mit Slaves (kaskadierter Mode)

- dieses Bit gibt an, ob Slave-PIC's angeschlossen sind oder nicht, bei der Slave-Initialisierung ist SNG=0.
- ist das Bit gesetzt wird <u>kein</u> ICW3 programmiert

LTM - Level Triggered Mode 1 pegelgetriggert
Ø flankengetriggert (ETM)

- ist dieses Bit gesetzt, wertet der PIC den Pegel an IRn aus, d.h. nach dem EOI-Kommando wird eine neue Anforderung generiert, wenn IR noch aktiv ist.
- ist dieses Bit nicht gesetzt, kann eine neue Anforderung erst nach einem neuen L/H-Übergang an IRn generiert werden. (Achtung, wenn im ETM mehrere Quellen an eine IR-Ebene angeschlossen sind!). Bei maskierten Eingängen wird trotzdem ein L/H-Übergang erkannt, INT aber erst aktiv, wenn die Maskierung aufgehoben und IRn noch aktiv ist.

```
* Der IR-Eingang muß in beiden Moden mindestens bis zum *
* 1. /INTA-Kommando aktiv sein, um eine Interruptanforderung *
* auszulösen !                                               *
* Wird der Eingang vorher 'low', sendet der PIC den Vektor für *
* IR7 (default IR7). Über die IR7-Interrupt Routine können also *
* Glitches auf IR-leitungen erkannt und behandelt werden (im *
* einfachsten Fall enthält die Routine nur den RETI-Befehl). *
* Wird IR7 durch den Anwender belegt, kann ein default IR7 durch *
* Lesen des ISR erkannt werden (default: ISR7 nicht gesetzt).   *
```

V7-V3 Interruptvektor
- die Bits Ø-2 werden vom PIC im INTA-Zyklus selbständig modifiziert, sie repräsentieren die jeweilige Anforderungsebene :

V2	V1	VØ	Ebene
Ø	Ø	Ø	IRØ
Ø	Ø	1	IR1
Ø	1	Ø	IR2
Ø	1	1	IR3
1	Ø	Ø	IR4
1	Ø	1	IR5
1	1	Ø	IR6
1	1	1	IR7

- der Vektor wird von der CPU mit 4 multipliziert und ergibt die Zeigeradresse für die Interruptvektortabelle

S7-SØ Slave Definition 1 Slave angeschlossen
Ø kein Slave

- für die Ebenen, an die ein Slave-PIC angeschlossen ist, muß das zugehörige S-Bit gesetzt sein
- für diese Ebenen liefert der Slave den Vektor, für die mit S=Ø der Master selbst

ID2-IDØ Slave-Identifikation

- der Code dieser 3 Bit muß der Nummer der Ebene entsprechen, an die der Slave angeschlossen ist, der Code ist analog zu V2-VØ

<u>ACHTUNG</u>: Sind an einen PIC individuelle Quellen <u>und</u> Slave-PICs angeschlossen, darf IRQ nicht mit einem Slave belegt werden

```
*********************************************************************
*                                          * BL.-NR. *              *
*                                          *         *              *
*       36 Ø4 38 : 162.25 (TB4) (4)        *   38    *              *
*                                          *         *              *
*********************************************************************
```

BUF	Buffered Mode	Ø	kein BM
		1	Buffered Mode (immer bei ZVE !)
AEOI	Auto EOI Command	1	Auto-EOI ein
		Ø	Auto EOI aus

- ist das Bit gesetzt, führt der PIC ein automatisches End-of-Interrupt-Kommando sofort nach dem INTA-Zyklus aus, die Ebene kann neue Interrupts generieren
- ist das Bit nicht gesetzt, muß ein EOI-Kommando durch ein OCW2 programmiert werden

M/S	Master/Slave	1	Master
		Ø	Slave
SFN	Special Fully Nested	1	SFN-Mode
		Ø	kein SFN-Mode

- ist das Bit nicht gesetzt, werden automatisch die IR-Ebene, die gerade bedient wird, und alle niedriger priorisierten Ebenen maskiert, bis ein EOI-Kommando diese wieder freigibt, d.h. die Bedienung einer Ebene kann nur durch höher priorisierte Anforderungen unterbrochen werden
- ist das Bit gesetzt werden Anforderungen auf einer gerade in Bedienung befindlichen Ebene zugelassen, damit angeschlossene Slaves die Chance haben, die Bedienung zu unterbrechen, wenn bei ihnen eine Anforderung höherer Priorität vorliegt.

8.3.3 Betriebsarten

Nach der Initialisierung des PIC auf der ZVE und eventueller Slave-PIC's kann das Programm Interrupts zulassen. Es können nun jederzeit Operation Command-Worte an den PIC gesendet werden. Folgende Operationen können damit ausgeführt werden:

- Interruptmaske setzen, rücksetzen oder lesen. Jedem IR-Eingang ist ein Maskenbit zugeordnet.
- Ein- oder Ausschalten spezieller Betriebsarten.
- Ändern der Prioritäten der IR-Eingänge
- Status des Interrupt-Request-Registers (IRR) oder des In-Service-Registers (ISR) lesen.
- Poll-Mode einschalten und Status lesen.

Das Maskenregister (OCW1) kann jederzeit beschrieben oder gelesen werden, dagegen erfordert das Lesen des IRR/ISR oder der Poll-Mode stets zuerst eine Ausgabe eines OCW3 und eine anschließende Leseoperation auf Adresse ØCØH.

Die OPERATION COMMAND - Worte haben folgendes Format:

	D7							D0	ADR
OCW1	M7	M6	M5	M4	M3	M2	M1	M0	0C2H
OCW2	R/E2	R/E1	R/E0	0	0	L2	L1	L0	0C0H
OCW3	X	SM1	SM0	0	1	P	RS1	RS0	0C0H

M7-M0 Mask Bits

1 IR ist maskiert, d.h., solange das Bit gesetzt ist, kann die Ebene keine Interruptanforderung auslösen

0 IR ist nicht maskiert

R/E2-R/E0 Rotate/EOI-Mode

	R/E2	R/E1	R/E0	
End of Interrupt	0	0	1	Non-specific EOI
	0	1	1	Specific EOI
Auto. Rotation	1	0	1	Rotate on Non-specific EOI
	1	0	0	Auto Rotating setzen
	0	0	0	Auto Rotating rücksetzen
Spec. Rotation	1	1	1	Rotate on Specific EOI
	1	1	0	Rotate Priority
	0	1	0	keine Operation

L2-L0 Binärkode der jeweiligen IR-Ebene, für die das Specific EOI- oder Rotate-Kommando gilt.

SM1,SM0 Special Mask Mode

SM1	SM0	
0	X	keine Operation
1	0	SMM rücksetzen
1	1	SMM setzen

P Poll Mode

0	keine Operation
1	Poll Mode

RS1,RS0 Status Read Mode

RS1	RS0	
0	X	keine Operation
1	0	IR-Register lesen
1	1	IS-Register lesen

Die einzelnen Betriebsarten können wie folgt zusammengefaßt werden:

- Fully Nested / Special Fully Nested Mode:
  Dieser Mode wird nach der Initialisierung automatisch eingenommen. IRØ hat die höchste, IR7 die niedrigste Priorität. Im INTA-Zyklus wird der Vektor der höchstpriorisierten aktiven Ebene gesendet. Niedriger priorisierte Ebenen sind dann automatisch gesperrt, während höherpriorisierte erlaubt bleiben und die laufende Interruptroutine unterbrechen können, wenn das Interruptflag der CPU gesetzt wurde. (Bei einer Interrupt-Anerkennung wird dieses zunächst automatisch zurückgesetzt!) Nach einem EOI-Kommando werden alle Ebenen wieder freigegeben, im Auto EOI-Mode sofort nach dem INTA-Zyklus.

  Der Special Fully Nested Mode ist nur anzuwenden, wenn Slave-PIC's angeschlossen sind. In diesem Fall wird eine Ebene, an die ein Slave angeschlossen ist, nicht gesperrt, wenn auf ihr eine Anforderung vorliegt. Dadurch kann derselbe Slave die laufende Interruptroutine unterbrechen, wenn bei ihm eine höherpriorisierte Anforderung vorliegt. Um den Zustand des Slaves zu ermitteln, muß in der Unterbrechungsroutine nach dem Senden eines Specific EOI-Kommandos an den PIC dessen ISR gelesen werden. Ist kein Bit gesetzt, kann auch an den Master-PIC ein EOI-Kommando gesedet werden, anderfalls muß der noch aktive (pending) Interrupt bedient werden.

  Das Beenden eines Interrupts (Rücksetzen des In-Service-Registers) kann entweder automatisch (Auto EOI) oder durch ein Non-Specific EOI-Kommando erfolgen. Um Pending Interrupts erkennen zu können, kann ein Specific EOI-Kommando ausgegeben werden:

  Non-Specific EOI: OCW2 = 2ØH
  Specific EOI: OCW2 = 6XH
  (X ist der Code der entsprechenden Ebene)

  Bei einem Slave-PIC-Interrupt müssen zwei EOI-Kommandos gesendet werden: je eines für den Master und den Slave.

- Special Mask Mode:
  Hierbei werden im Gegensatz zum Nested Mode auch niedriger priorisierte Interrupts zugelassen, während eine Unterbrechungsroutine läuft. Dazu muß zunächst die Ebene, die gerade bedient wird, über OCW1 maskiert werden und anschließend über OCW3 der Special Mask Mode eingeschaltet werden.

  Special Mask ein: OCW3 = 68H
  Special Mask aus: OCW3 = 48H

- Auto Rotating Mode:
  In dieser Betriebsart rotieren die Prioritäten automatisch nach jedem EOI-Kommando, indem der gerade bedienten Ebene die niedrigste Priorität zugewiesen wird (z.B. IR5 wurde bedient, dann erhält IR4 höchste Priorität).

Wird dieser Mode in Verbindung mit dem Auto-EOI-Kommando angewendet, muß er über folgende Steuerworte ein- oder ausgeschaltet werden:

Auto Rotate ein: OCW2 = 8ØH
Auto Rotate aus: OCW2 = ØØH

Ist der Auto-EOI-Mode nicht initialisiert, kann ein Non-specific EOI-Kommando ausgegeben werden, welches eine Rotation bewirkt:

Non-specific EOI/Rotating: OCW2 = AØH

- Specific Rotating Mode:
  In dieser Betriebsart kann der Programmierer vorgeben, welche Ebene die höchste Priorität haben soll. Die anderen Ebenen reihen sich dann wie nach einer Rotation an, d.h., wenn z.B. IR4 höchste Priorität erhält, folgen dann IR3, 2...IR5 (dabei muß die Ebene angegeben werden, welche die niedrigste Priorität erhalten soll, also IR5). Ein solcher Eingriff kann jederzeit durch ein OCW2 erfolgen, unabhängig vom EOI-Kommando:

  Rotate Priority: OCW2 = CXH
  (X ist der Code der Ebene die anschließend niedrigste Priorität hat)

  In diesem Fall arbeitet der PIC wie im Nested Mode, nur mit veränderten Prioritäten.
  Es besteht auch die Möglichkeit, das Setzen einer neuen Priorität mit einem EOI-Kommando zu verbinden, das entspricht dann dem Auto Rotating Mode mit dem Unterschied, daß die Priorität mit einem Specific EOI-Kommando vorgegeben wird:

  Specific EOI / Rotate: OCW2 = EXH
  (X ist der Code der Ebene, für die das EOI gilt und die anschließend niedrigste Priorität hat)

8.3.4 Status lesen

Der PIC enthält drei lesbare Statusregister:

- Das IMR (Interrupt Mask Register) zeigt an, welche Ebenen maskiert sind. Es hat das gleiche Format wie das OCW1. Um das IMR zu lesen ist kein OCW3 nötig:
  (1) Von Adresse ØC2H lesen: IMR

- Das IRR (Interrupt Request Register) zeigt an, auf welchen Ebenen Anforderungen vorliegen. Es hat folgendes Format:

	D7							DØ
IRR	IR7	IR6	IR5	IR4	IR3	IR2	IR1	IRØ

IR = 1 : Interruptanforderung aktiv

Um dieses Register zu lesen, muß folgende Operation ausgeführt werden:

(1) Auf Adresse 0C0H schreiben: OCW3 = 0AH
(2) Von Adresse 0C0H lesen: IRR

(Ein ICW1 setzt den Read Status auf das IRR, so daß nach der Initialisierung von der Adresse 0C0H immer das IRR gelesen werden kann, ohne OCW3 zu setzen)

- Das ISR (In Service Register) zeigt an, welche Anforderungen momentan bearbeitet werden und nicht durch EOI beendet wurden. Es hat folgendes Format:

	D7							D0
ISR	IS7	IS6	IS5	IS4	IS3	IS2	IS1	IS0

IS = 1 : Interruptanforderung in Bearbeitung

Um dieses Register zu lesen, muß folgende Operation ausgeführt werden:

(1) Auf Adresse 0C0H schreiben: OCW3 = 0BH
(2) Von Adresse 0C0H lesen : ISR

8.3.5 Poll Mode

Mit Hilfe des PIC können auch Unterbrechungsanforderungen bearbeitet werden, wenn die CPU ohne Interrupts arbeitet oder wenn z.B. die INTA-Sequenz für Slave-PICs eingespart werden soll. In diesem Fall muß der PIC abgefragt werden, ob eine Anforderung vorliegt bzw. die signalisierte Anforderung muß quittiert werden. Dies ist mit Hilfe des Poll-Kommandos möglich. Bei Ausgabe des Poll-Kommandos friert der PIC seinen Interrupt Status bis zum Lesen des Poll Words ein und setzt (wenn eine Anforderung vorlag) das höchstpriorisierte ISR-Bit. Die nächste PIC-Read Operation wirkt wie der 2. /INTA-Impuls, d.h., der PIC stellt ein Statuswort mit folgendem Format bereit:

	D7							D0
Poll Word	I	0	0	0	0	P2	P1	P0

I Interrupt 0 - kein Interrupt
1 - Interrupt erkannt
P2-P0 Priorität der anfordernden Ebene (Binärcode)

Folgende Operation ist für diesen Mode erforderlich:

(1) Auf Adresse 0C0H schreiben: OCW3 = 0CH
(2) Von Adresse 0C0H lesen: Poll word

Das Löschen der ISR-Bits muß durch ein EOI-Kommando erfolgen, auch wenn der PIC im AEOI-Mode programmiert ist!

8.4 Die END OF INTERRUPT Methoden

Der 8259A muß über das Ende einer Interrupt Service Routine informiert werden, damit er in der Lage ist, sein ISR (In-Service Register) zu aktualisieren und neue Anforderungen entsprechend ihrer Priorität zu verarbeiten. Dem Anwender stehen dazu drei verschiedene EOI-Formate zur Verfügung, deren Anwendung vom konkreten Interruptsystem abhängt. Im folgenden wird vom Fully Nested Mode ausgegangen, der eine Mehrebenen-Interruptstruktur uterstützt, bei der die (veränderlichen) Prioritäten aller acht Eingänge systematisch geordnet sind.

Automatic EOI-Mode (AEOI)
Beim AEOI wird das ISR-Bit der gerade aktiven Ebene automatisch mit der Rückflanke des 2. INTA-Kommandos zurückgesetzt, so daß kein zusätzliches Kommando (OCW) nötig ist. Daraus folgt, daß es im ISR keinen Hinweis mehr auf die gerade in Behandlung befindliche Routine gibt. Sind während dieser Zeit Interrupts erlaubt und tritt eine Anforderung auf, wird sie ohne Rücksicht auf ihre Priorität abgearbeitet, womit der Fully Nested Mode verletzt wird. Gleichzeitig kann es zu einem " over nesting " kommen (Ein IR-Eingang unterbricht dauernd seine eigene Routine, der Stack läuft über). Aus diesem Grund sollte in einem System, in dem Interrupts sporadisch und in undefinierter Anzahl auftreten, der IR-Eingang während der Zeit der Interruptbehandlung maskiert werden. Damit ist garantiert, daß höher priorisierte Ebenen nur nach Beendigung einer Service Routine behandelt werden. Die Fully Nested Struktur wird also beibehalten; allerdings können Behandlungsroutinen nicht mehr unterbrochen werden.

Non-Specific EOI (NSEOI)
Empfängt der PIC ein NSEOI-Kommando, setzt er einfach das am höchsten priorisierte ISR-Bit zurück, da normalerweise (Fully Nested Mode) auch die ensprechende Service Routine beendet wurde. NSEOI sollte deshalb nur benutzt werden, wenn garantiert ist, daß die gerade abgearbeitete Ebene auch wirklich die höchste Priorität hat. Dieser Mode sollte nicht angewendet werden, wenn

- das Set Priority Kommando (Rotate Priority) innerhalb einer Interrupt Service Routine benutzt wurde
- im Special Mask Mode gearbeitet wird.

Ansonsten kann es passieren, daß ein falsches ISR-Bit zurückgesetzt wird.

Specific EOI (SEOI)
Im Gegensatz zum NSEOI wird hier genau ein ISR-Bit exakt spezifiziert und rückgesetzt. Das SEOI-Kommando vermeidet den Nachteil des NSEOI und wird angewendet, wenn der PIC nicht automatisch die behandelte Ebene bestimmen kann.
NSEOI- bzw. SEOI-Kommando stehen normalerweise unmittelbar vor dem RETI-Befehl in der Service Routine.

9. Arbeit im Schrittbetrieb

Durch Aktivierung der 'not-bussed'-Leitungen /STOP (X1/B11) bzw. /STOP-R (X2/B11) ist es möglich, die ZVE16-M1 im Schrittbetrieb zu betreiben (siehe auch 360438:162.25(TB3)(4) Punkt 2.7). Je nachdem, an welchem Bus gearbeitet wird, sind folgende Besonderheiten zu beachten:

- LOKALBUS
Adressen und Kommandos der lokalen Buszyklen gelangen automatisch auf den Residentbus, solange das Signal /RBEN aktiv ist (Normalfall). Lokale Daten gelangen in keinem Fall auf den Residentbus. Sie werden nur durch Stecken der LBA-86 auf die Coprozessorfassung sichtbar. Bei lokalen Schreibzyklen, die mit 0 Wait States ablaufen, ist das STOP-Signal unwirksam. In diesem Fall, muß mittels XB15 mindestens ein Wait State eingestellt werden. Auch bei geschlossener TIME-OUT-Brücke ist Schrittbetrieb möglich.

- RESIDENTBUS
Der Zugriff zum Residentbus ist nur bei /RBEN = 'LOW' möglich. Für den Schrittbetrieb besteht keine Einschränkung.

- SYSTEMBUS
Der Zugriff zum Systembus ist nur möglich, wenn die ZVE die höchste Buspriorität besitzt (/BPRN = 'LOW'). Schrittbetrieb bei geschlossener TIME-OUT-Brücke ist nur möglich, wenn die Leitungen /STOP und /STOP-R verbunden werden. Dabei werden beide Pull-up-Widerstände von je 4,7 kOhm parallelgeschaltet.
In einem Mehrmastersystem können mehrere ZVE mit /STOP verbunden werden. Angehalten wird immer die ZVE, die einen Systembuszyklus ausführt. Auch hierbei tritt eine Parallelschaltung von Widerständen auf.

! ACHTUNG !

Wird der Systembuszugriff eines Masters gestoppt (Schrittbetrieb), kommt es bei einem anderen Master, der eine Systembusanforderung stellt, zum TIME OUT, d.h., es werden ungültige Daten gelesen, wenn die TO-Brücke geschlossen ist (Bus TIME OUT).

10. Montage und Installation

Die Module sind vorzugsweise in senkrechter Einbaulage (Steckverbinder senkrecht) anzuordnen, um die erforderliche Wärmeabfuhr zu gewährleisten, damit die Oberflächentemperatur +70 ØC nicht übersteigt.
Montage und Installation hat unter Einhaltung der Sicherheitsbestimmungen durch befugte und qualifizierte Fachkräfte zu erfolgen.

11. Wartung und Instandsetzung

Die Module sind bei Einhaltung der vorgeschriebenen Einsatzbedingungen wartungsfrei. Im Ausnahmefall erforderlich werdende Reparaturen dürfen nur von befugten und qualifizierten Fachkräften mit entsprechenden Prüfmitteln, Prüfprogrammen und Werkzeugen unter Beachtung der Sicherheitsbedingungen durchgeführt werden.

SLKZ	BENENNUNG	SACHNUMMER	BEMERKUNGEN
C1	ELYTKONDENSATOR	47/10 A TGL38928	47UF;10V;WIE C11-17,C51
C2-10	T-KONDENSATOR	0,22/35 TGL38965	WIE C18-31,C36-50 C52-63,C66-68
C11-17	WIE C1		
C18-31	WIE C2		
C32	KONDENSATOR	EDVU-V -1 /20 - 63 TGL35781	1NF;63V
C33-34	ELYTKONDENSATOR	47/25 A TGL38928	47UF;25V
C36-50	WIE C2		
C51	WIE C1		
C52-63	WIE C2		
C64-65	KONDENSATOR	EDVU-V -0,68/20 - 63 TGL35781	0,68NF;63V;WIE C69,C74
C66-68	WIE C2		
C69	WIE C64		
C70-73	KONDENSATOR	EDVU-N750 -220 /5 - 63 TGL35780	220PF;63V
C74	WIE C64		
CQ1	SCHWINGQUARZ	MQ 12 9830,4 TGL43380	9830,4 kHz
CQ2	SCHWINGQUARZ	MQ 02 15000 TGL43380	15000 kHz
D1-3	SCHALTKREIS	DS 8287 D TGL42622	WIE D12-14
D4-6	SCHALTKREIS	DS 8283 D TGL42623	WIE D15-17
D7	SCHALTKREIS	P 8288	WIE D32,D34
D8-9	SCHALTKREIS	DS 8286 D TGL42622	
D10-11	SCHALTKREIS	DL 014 D TGL43206	
D12-14	WIE D1		
D15-17	WIE D4		
D21-23	SCHALTKREIS	K 531 IR 22 P	
D28	SCHALTKREIS	P 8259 A	
D29	SCHALTKREIS	KR 580 WW 51 A	
D30	SCHALTKREIS	KR 580 WI 53	
D31	SCHALTKREIS	K 531 LA 16P	
D32	WIE D7		
D33	SCHALTKREIS	P 8289	
D34	WIE D7		
D35	SCHALTKREIS	D 8086	
D36	SCHALTKREIS	DS 8205 D TGL39866	
D37	SCHALTKREIS	DL 259 D TGL43610	
D38	SCHALTKREIS	DL 175 D TGL43293	
D39	SCHALTKREIS	DL 123 D TGL43203	
D40	SCHALTKREIS	K 531 ID 14 P	
D41	SCHALTKREIS	DS 8216 D TGL42622	
D42	SCHALTKREIS	DL 004 D TGL39865	WIE D60
D43	SCHALTKREIS	DL 074 D TGL 39865	

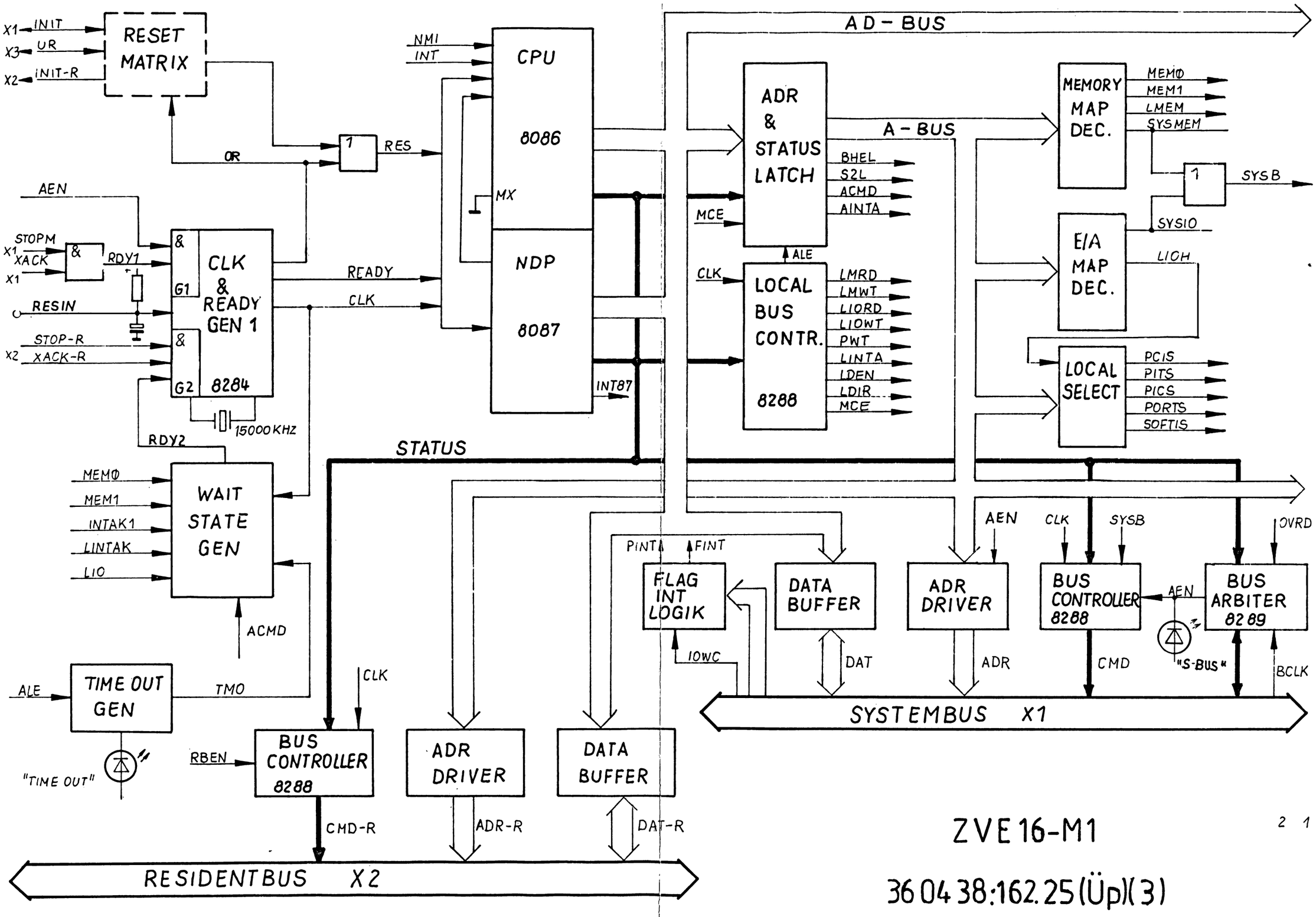
SLKZ	BENENNUNG	SACHNUMMER	BEMERKUNGEN
D44	SCHALTKREIS	MH 74S37	
D45	SCHALTKREIS	DL 093 D TGL43205	
D46	SCHALTKREIS	DL 000 D TGL39865	
D47	SCHALTKREIS	MH 74S74	
D48	SCHALTKREIS	MH 74S04	WIE D62
D50	SCHALTKREIS	DL 032 D TGL43606	WIE D54,D56
D51	SCHALTKREIS	K 531 LE 1P	
D52	SCHALTKREIS	MH 74S00	
D53	SCHALTKREIS	K 531 LI 3P	
D54	WIE D50		
D55	SCHALTKREIS	MH 74S10	
D56	WIE D50		
D57	SCHALTKREIS	7406 PC	
D58-59	SCHALTKREIS	75 150 PC	
D60	WIE D42		
D61	SCHALTKREIS	P 8284 A	
D62	WIE D48		
D63	SCHALTKREIS	K 531 LI 1P	
F1	SCHMELZEINSATZ	F6,3 TGL0-41571/01	
H1	LED	VQA 34 D TGL39422	
H2	LED	VQA 24 D TGL39422	
H3	LED	VQA 14 D TGL39422	
N1	SCHALTKREIS	75 154 PC	
R1	SWF	4,7K/5/25.207.1 TGL8728	0.3W;WIE R4,R21, R30
R2	SWF	1,2K/5/25.207.1 TGL8728	0.3W;WIE R11,R22-24
R3	SWF	47/5/25.207.1 TGL8728	0.3W;WIE R20
R4	WIE R1		
R5-6	SWF	3,3K/5/25.207.1 TGL8728	0.3W;WIE R8,R10, R13,R19,R25,R31
R7	STT	352468I-TGL29950-B1-11/3,0/6	4x1K;WIE R12
R8	WIE R5		
R9	SWF	10K/5/25.207.1 TGL8728	0.3W;WIE R18,R41
R10	WIE R5		
R11	WIE R2		
R12	WIE R7		
R13	WIE R5		
R14-15	SWF	330/5/25.207.1 TGL8728	0.3W
R16	SWF	100K/5/25.207.1 TGL8728	0.3W;WIE R28
R17	SWF	91K/5/25.207.1 TGL8728	0.3W
R18	WIE R9		
R19	WIE R5		
R20	WIE R3		
R21	WIE R1		
R22-24	WIE R2		
R25	WIE R5		
R26	SWF	2,2K/5/25.207.1 TGL8728	0.3W

SLKZ	BENENNUNG	SACHNUMMER	BEMERKUNGEN
R27	SWF	470/5/25.207.1 TGL8728	0.3W
R28	WIE R16		
R29	SWF	100/5/25.207.1 TGL8728	0.3W
R30	WIE R1		
R31	WIE R5		
R32-34	SWF	560/5/25.207.1 TGL8728	0.3W;WIE R42
R35-36	SWF	430/5/25.207.1 TGL8728	0.3W
R37	SWF	22/5/25.207.1 TGL8728	0.3W
R38	SWF	270/5/25.207.1 TGL8728	0.3W;WIE R43
R39-40	SWF	510/5/25.207.1 TGL8728	0.3W
R41	WIE R9		
R42	WIE R32		
R43	WIE R38		
R44-46	SWF	240/5/25.207.1 TGL8728	0.3W
U1	OPTOKOPPLER	MB 111 TGL35171	
U2	OPTOKOPPLER	MB 104/5D TGL36609	
V1-3	DIODE	SAY17 L2/4 TGL25184	
X1-2	STECKERLEISTE	C96-102 TGL 43887	
X3	BUCHSENLEISTE	203-25 EBS-G04006/01-2V	
XB1-16	EINLOETKONTAKT	F1 TGL 32587/01	159 STCK
XB17	BRUECKE	C TGL 32587/01	4 STCK
XM1	EINLOETKONTAKT	F1 TGL 32587/01	WIE XW1-6
XW1-6	WIE XM1		

Kombinat
VEB Carl Zeiss JENA
Carl-Zeiss-Str.1
Jena
DDR-6900

Druckschriften-Nr. **25-G005-1**

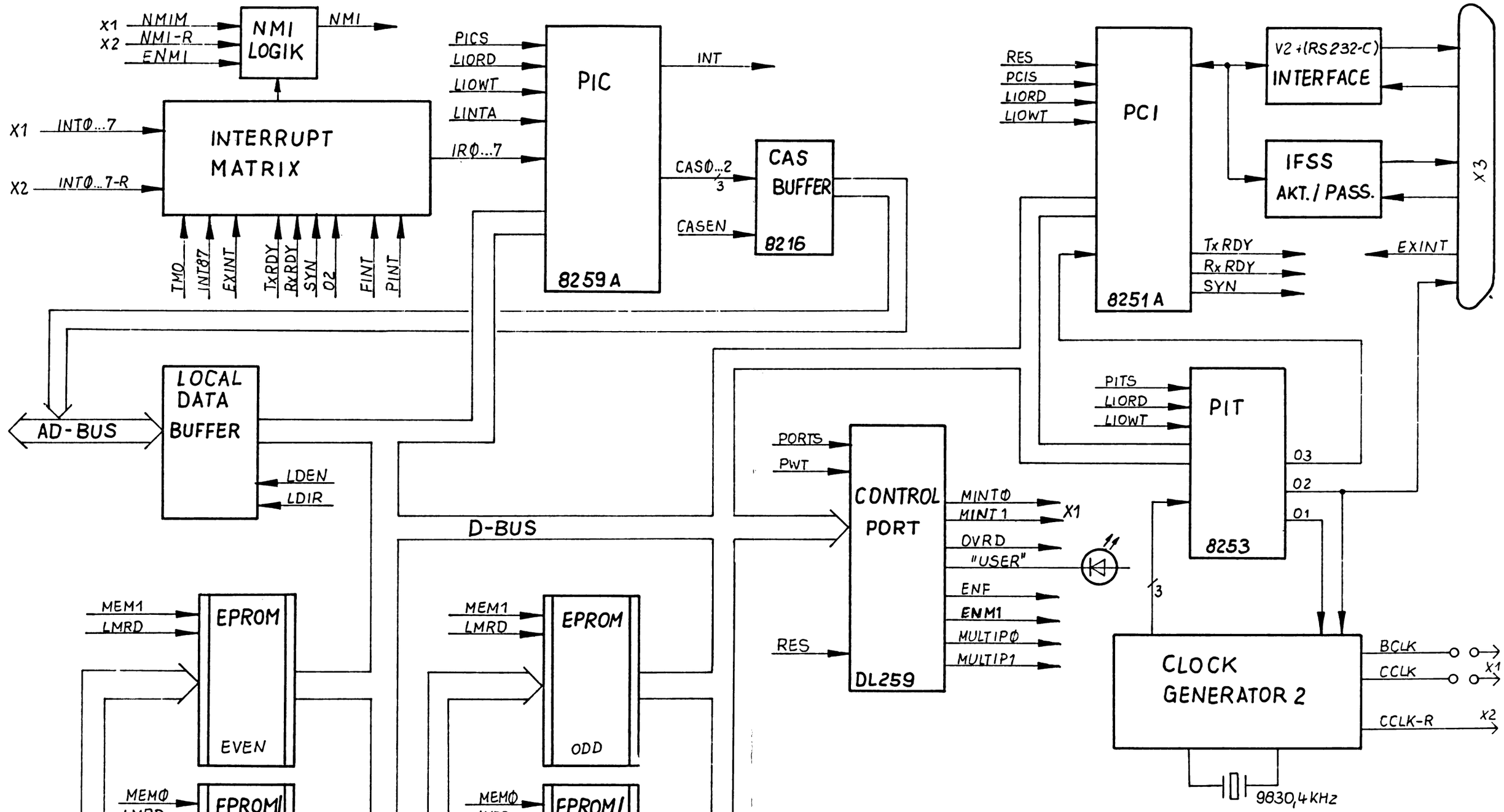
M(p)G-7-039-90 V-14-6 0,2 9809



ZVE 16-M1

2 1

36 04 38:162.25 (Üp)(3)



4x 28 pol. Fassung

ZVE16-M1

36 04 38:162.25(Üp)(3)

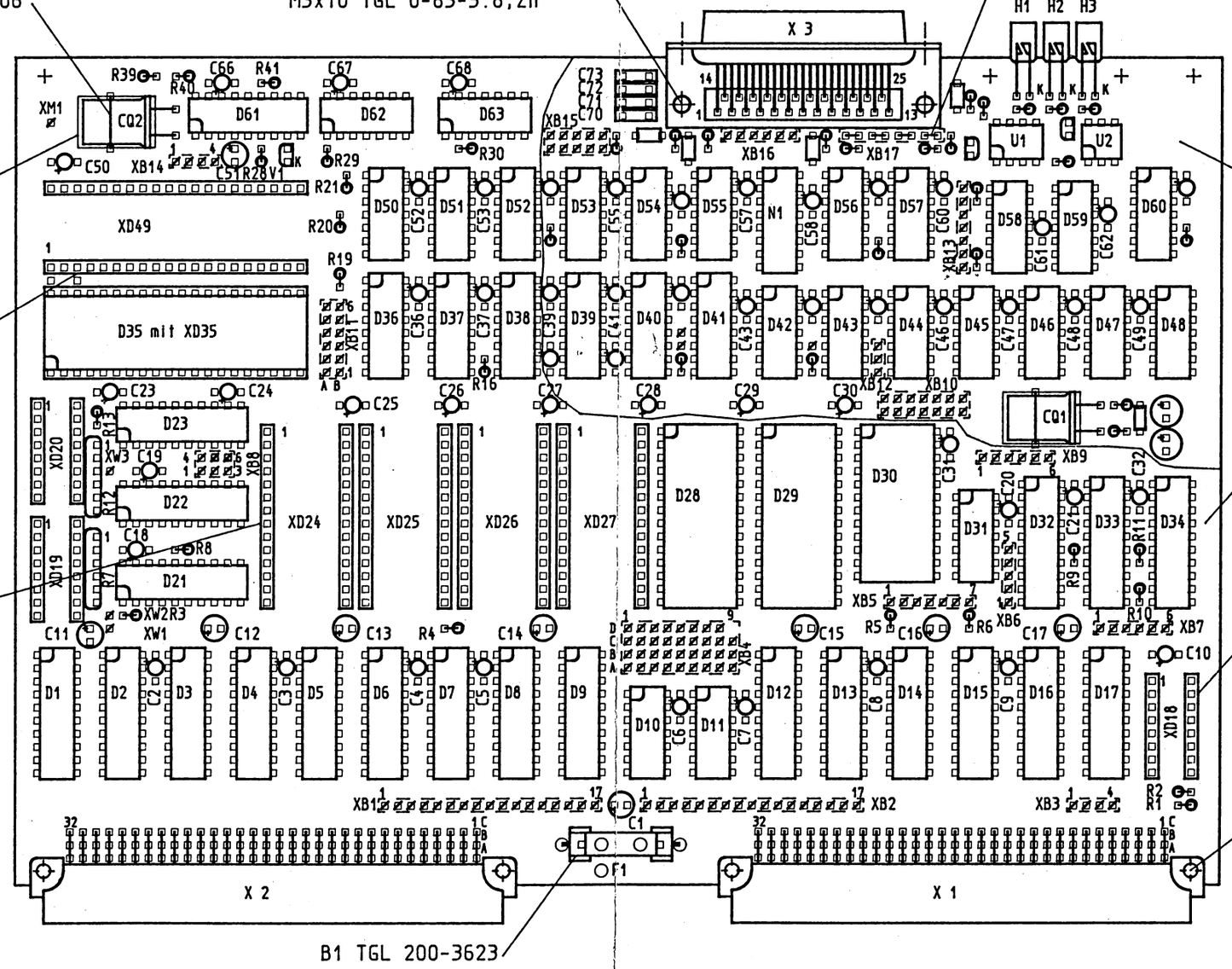
2 2

M3 TGL 0-934-6,Zn
3,2 TGL 0-125 St,Zn
203-25 EBS-G0 4006/01-2V
3,2 TGL 17774-P
M3x10 TGL 0-85-5.8,Zn

C TGL 32587/01

Y1x0,5-ws TGL 21806
(25 lg.)

37 04 86:455.10(4)



A (Bl.2)

162.53(3)

* ≙ 916-32 TGL 43787
(9 Stück)

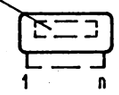
SLKZ	Fassung geteilt in:
XD18-20	je 2x 8-polig
XD24-27	je 2x 14-polig
XD35,49	je 2x 20-polig

A2,5x0,25x10 TGL 0-7340-Ms
C96-102 TGL 43887
2,7 TGL 17774-P

B1 TGL 200-3623

alle stehenden R mit
F11 FWB-N506.431 bestückt
(44 Stück)

Beschriftung



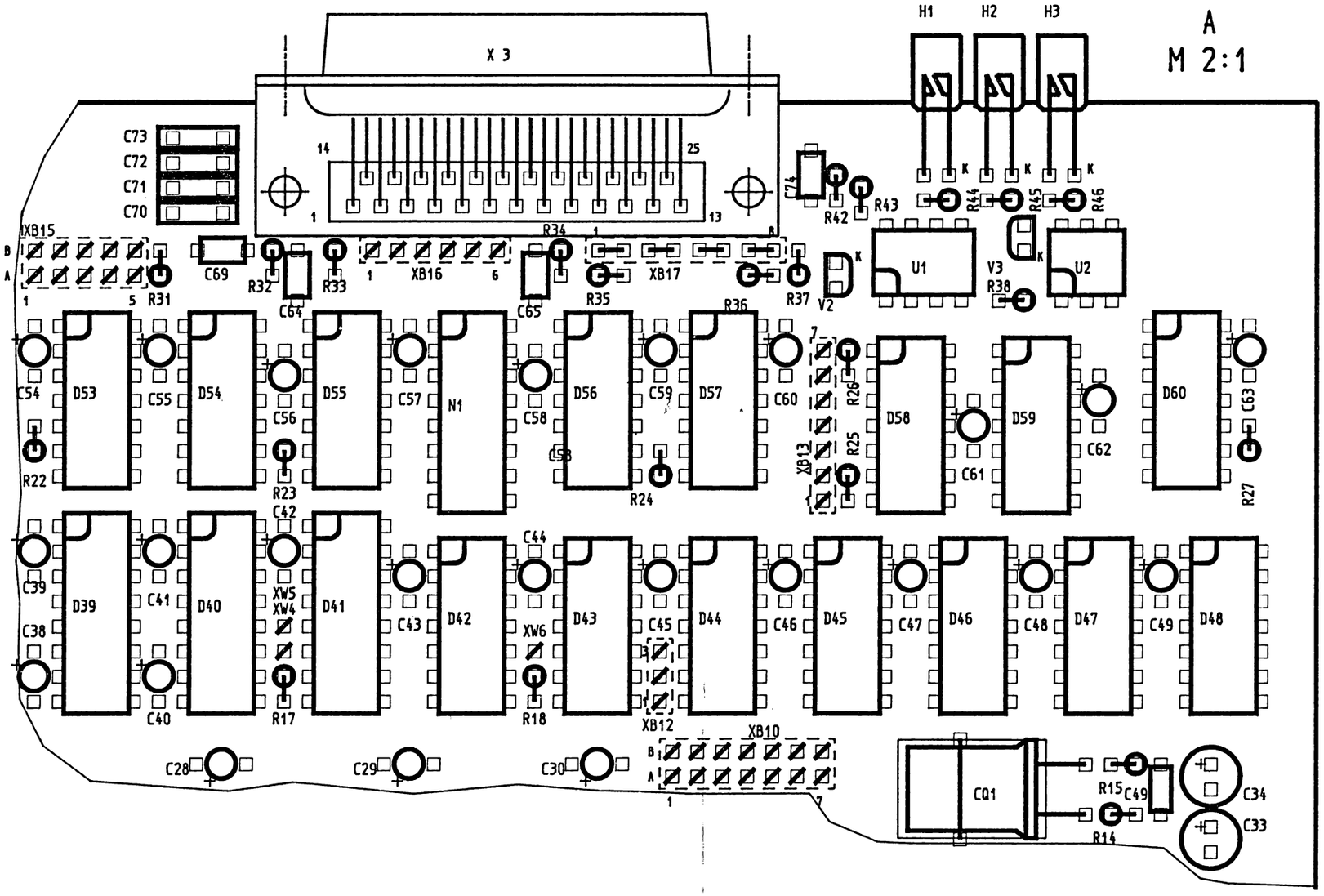
R7;R12

ø ≙ F1 TGL 32587/01
(160 Stück)

Schaltteile siehe: 162.25(Sl)

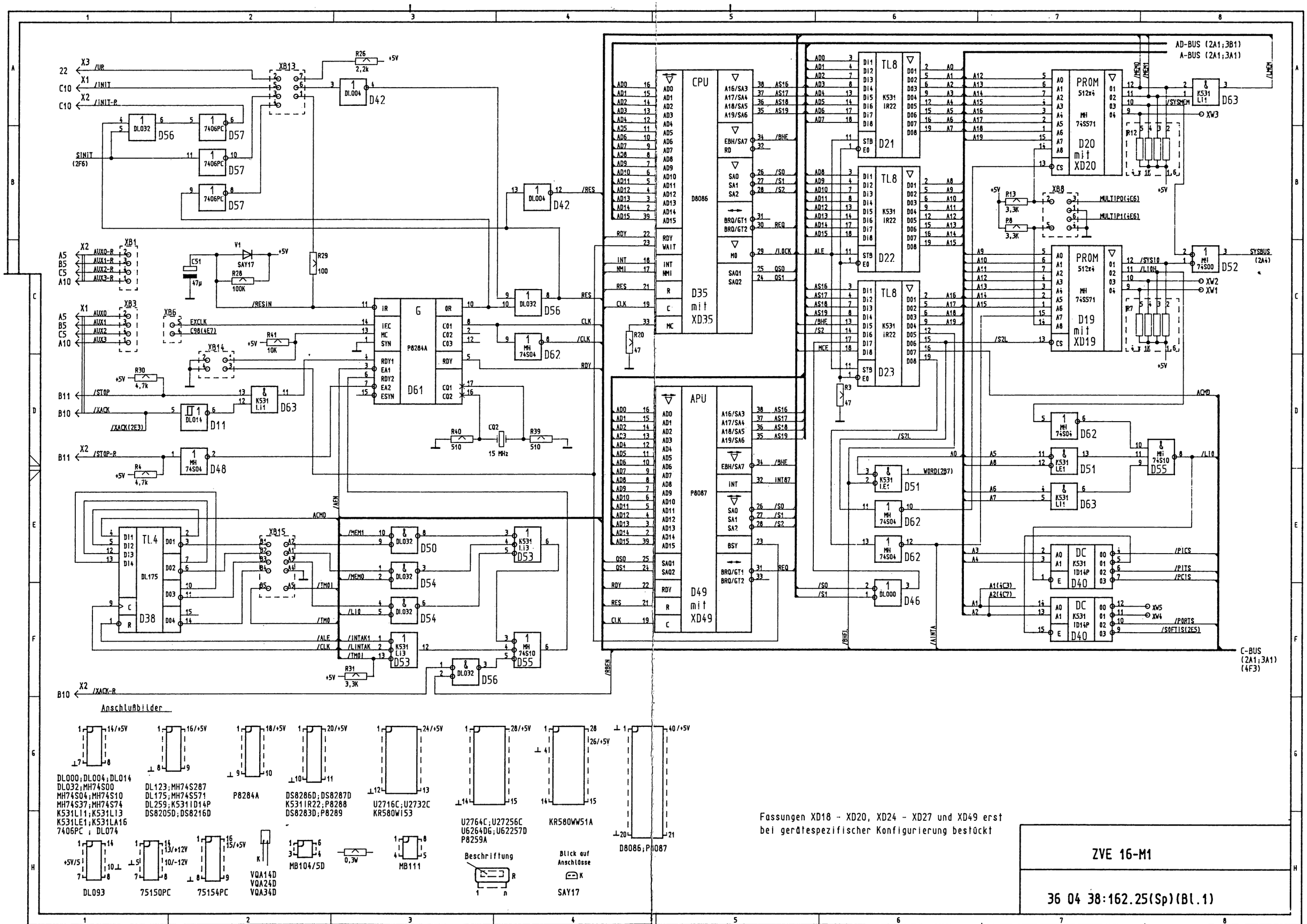
ZVE16-M1

36 04 38:162.25 (Bl.1)



ZVE16-M1

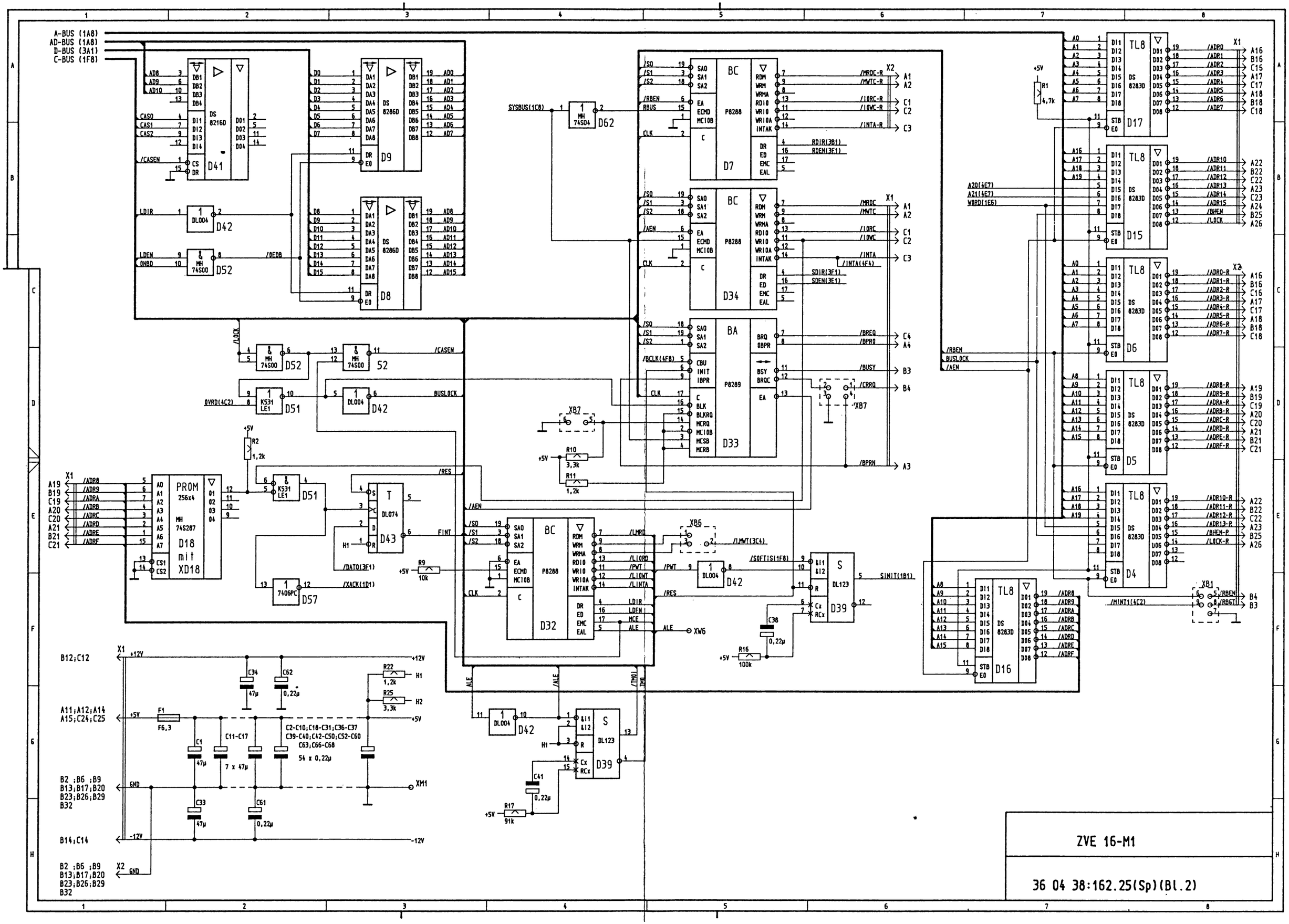
36 04 38:162.25 (Bl.2)

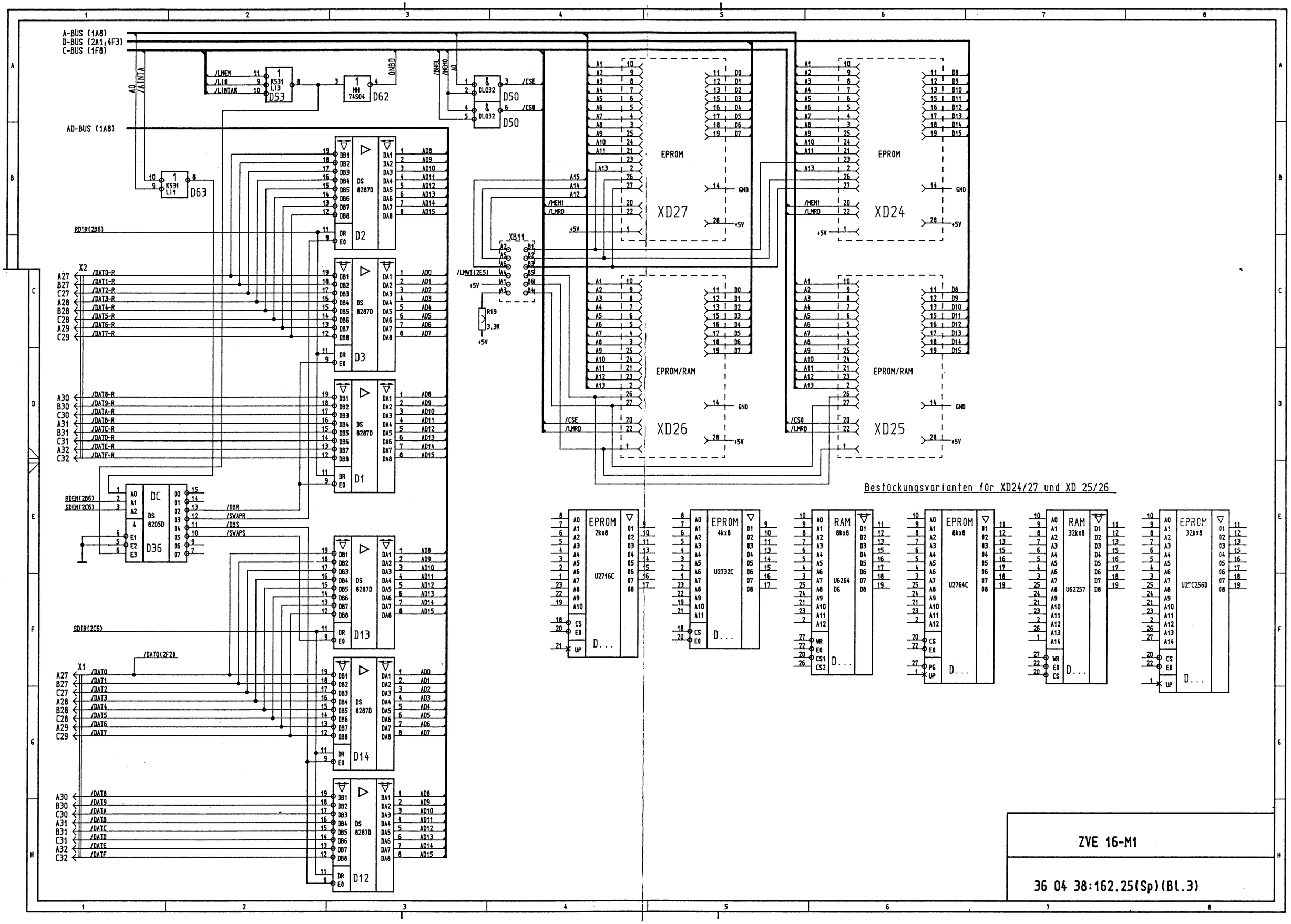


Fassungen XD18 - XD20, XD24 - XD27 und XD49 erst bei gerätespezifischer Konfigurierung bestückt

ZVE 16-M1

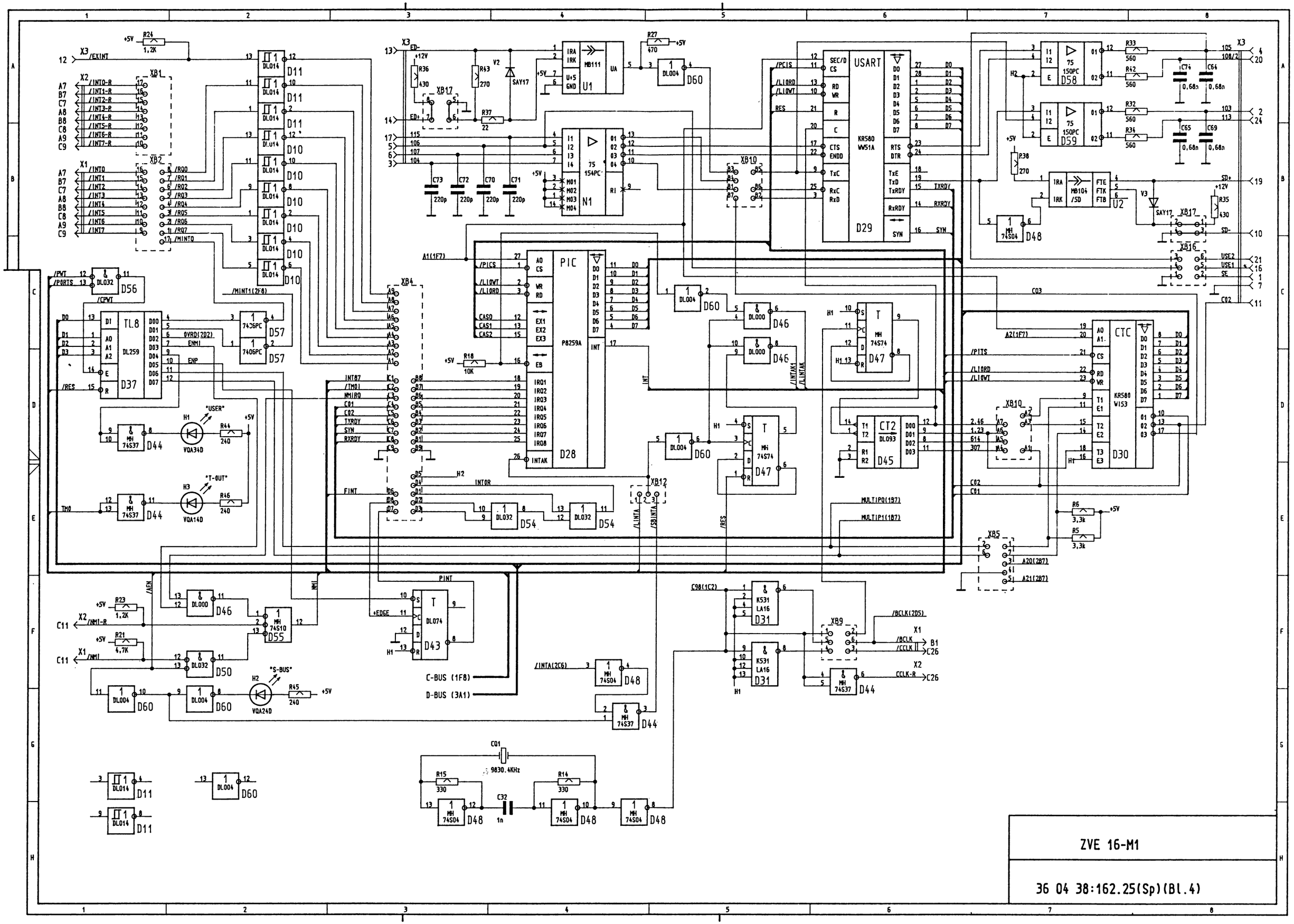
36 04 38:162.25(Sp)(Bl.1)


A-BUS (1A8)
AD-BUS (1A8)
D-BUS (3A1)
C-BUS (1F8)
D41
D42
D52
D9
D8
D62
D7
D34
D33
D51
D18
mit
XD18
PROM
256x4
MH
74S287
D43
D57
D32
D39
D17
D15
D6
D5
D4
D16
TL8
DS
8283D
P8288
P8289
BC
BA
X1
X2
XB7
XB6
XB1
XW6
XM1
R1
4,7k
R2
1,2k
R10
3,3k
R11
1,2k
R9
10k
R16
100k
R22
1,2k
R25
3,3k
R17
91k
F1
F6,3
C34
C62
C1
C11-C17
7 x 47µ
C2-C10;C18-C31;C36-C37
C39-C40;C42-C50;C52-C60
C63;C66-C68
54 x 0,22µ
C33
C61
C38
C41
0,22µ
47µ
B12;C12
A11;A12;A14
A15;C24;C25
B2 ;B6 ;B9
B13;B17;B20
B23;B26;B29
B32
B14;C14
+12V
-12V
+5V
GND
/LOCK
/CASEN
BUSLOCK
/RES
/AEN
/FINT
/ALE
/TMOL
/TMO
/RBEN
/BUSLOCK
/AEN
A20(4E7)
A21(4E7)
WORD(1E6)
/MINT1(4C2)
/SOFTIS(1F8)
SINIT(1B1)
/PWT
/LMWT(3C4)
/DATO(3F1)
/XACK(1D1)
/OVRD(4C2)
/0EDB
/BPRN
/BUSY
/CRRQ
/BREQ
/BPRQ
/MRDC
/MWTC
/IORC
/IOWC
/INTA
/INTA(4F4)
/MRDC-R
/MWTC-R
/IORC-R
/IOWC-R
/INTA-R
RDIR(3B1)
RDEN(3E1)
SDIR(3F1)
SDEN(3E1)
/ADR0
/ADR1
/ADR2
/ADR3
/ADR4
/ADR5
/ADR6
/ADR7
/ADR8
/ADR9
/ADRA
/ADRB
/ADRC
/ADRD
/ADRE
/ADRF
/ADR10
/ADR11
/ADR12
/ADR13
/ADR14
/ADR15
/BHEN
/LOCK
/ADR0-R
/ADR1-R
/ADR2-R
/ADR3-R
/ADR4-R
/ADR5-R
/ADR6-R
/ADR7-R
/ADR8-R
/ADR9-R
/ADRA-R
/ADRB-R
/ADRC-R
/ADRD-R
/ADRE-R
/ADRF-R
/ADR10-R
/ADR11-R
/ADR12-R
/ADR13-R
/BHEN-P
/LOCK-R
/RBEN
/RBGT
ZVE 16-M1
36 04 38:162.25(Sp)(Bl.2)



ZVE 16-M1

36 04 38:162.25(Sp)(Bl.3)


PIC
P8259A
D28
USART
KR580 WV51A
D29
CTC
KR580 W153
D30
CT2
DL093
D45
TL8
DL259
D37
N1
154PC
U1
MB111
U2
MB104
D58
150PC
D59
D56
D57
D44
D54
D55
D50
D60
D46
D47
D48
D43
D31
D11
XB1
XB2
XB4
XB9
XB10
XB12
XB16
XB17
X85
"USER"
"T-OUT"
"S-BUS"
VQA34D
VQA14D
VQA24D
C-BUS (1F8)
D-BUS (3A1)
9830.4KHz
ZVE 16-M1
36 04 38:162.25(Sp)(Bl.4)